

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problems Mailbox.

#10

DIALOG(R)File 352:DERWENT WPI

(c) 2000 Derwent Info Ltd. All rts. reserv.

012580250 \*\*Image available\*\*

WPI Acc No: 99-386357/199933

XRPX Acc No: N99-302446

Semiconductor display device for matrix display - has several source  
signal lines driven on time sharing basis

Patent Assignee: SEMICONDUCTOR ENERGY LAB (SEME ); SEL SEMICONDUCTOR  
ENERGY LAB (SEME )

Inventor: AZAMI M; KOYAMA J; OSAME M

Number of Countries: 027 Number of Patents: 004

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Main IPC	Week
CN 1213813	A	19990414	CN 98124622	A	19980930	G09G-003/18	199933 B
<b>JP 11167373</b>	A	19990622	JP 98146613	A	19980511	G09G-003/36	199935
EP 918314	A1	19990526	EP 98307944	A	19981001	G09G-003/36	199933
EP 938074	A1	19990825	EP 98307944	A	19981001	G09G-003/36	199939 T

Priority Applications (No Type Date): JP 98146613 A 19980511; JP 97286098 A  
19971001

Patent Details:

Patent Kind Lan Pg Filing Notes Application Patent

JP 11167373 A 23

EP 918314 A1 E

Designated States (Regional): AL AT BE CH CY DE DK ES FI FR GB GR IE IT  
LI LT LU LV MC MK NL PT RO SE SI

EP 938074 A1 E

Designated States (Regional): AL AT BE CH CY DE DK ES FI FR GB GR IE IT  
LI LT LU LV MC MK NL PT RO SE SI

Abstract (Basic): JP 11167373 A

NOVELTY - The driving circuit consists of several source signal  
lines and D/A converter circuit (208). Each source signal line is  
driven on a time sharing basis.

USE - For matrix display device.

ADVANTAGE - The number of D/A converter used is reduced by driving  
source signal lines on time sharing basis. DESCRIPTION OF DRAWING(S) -  
The drawing is a schematic diagram of the semiconductor display device.  
(208) D/A converter circuit.

Dwg.2/23

Title Terms: SEMICONDUCTOR; DISPLAY; DEVICE; MATRIX; DISPLAY; SOURCE;  
SIGNAL; LINE; DRIVE; TIME; SHARE; BASIS

Derwent Class: P81; P85

International Patent Class (Main): G09G-003/18; G09G-003/36

International Patent Class (Additional): G02F-001/133; H01L-021/336;  
H01L-029/786

File Segment: EngPI

DIALOG(R)File 347:JAPIO

(c) 1999 JPO & JAPIO. All rts. reserv.

06225811 \*\*Image available\*\*

SEMICONDUCTOR DISPLAY DEVICE AND DRIVING METHOD THEREOF

PUB. NO.: 11-167373 [JP 11167373 A]

PUBLISHED: June 22, 1999 (19990622)

INVENTOR(s): KOYAMA JUN

OŌAME MITSUAKI

ASAMI MUNEHIRO

APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD

APPL. NO.: 10-146613 [JP 98146613]

FILED: May 11, 1998 (19980511)

PRIORITY: 09286098 [JP 979286098], JP (Japan), October 01, 1997  
(19971001)

INTL CLASS: G09G-003/36; G02F-001/133; G02F-001/133; H01L-029/786;  
H01L-021/336

ABSTRACT

PROBLEM TO BE SOLVED: To provide a semiconductor display device of a digital gradation system reduced in a driving circuit area.

SOLUTION: In a driving circuit of a semiconductor display device of a digital gradation system, one D/A conversion circuit 208 is arranged for plural source signal lines, each of which is driven by time sharing. Thus, the number of D/A conversion circuits 208 can be reduced, and miniaturization of the semiconductor display device is possible.

COPYRIGHT: (C)1999,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-167373

(43) 公開日 平成11年(1999) 6月22日

(51) Int.Cl.<sup>9</sup>

識別記号

F I

G 0 9 G 3/36

G 0 9 G 3/36

G 0 2 F 1/133

5 5 0

G 0 2 F 1/133

5 5 0

5 7 5

5 7 5

H 0 1 L 29/786

H 0 1 L 29/78

6 1 3 A

21/336

6 1 4

審査請求 未請求 請求項の数 6 F D (全 23 頁) 最末页に続く

(21) 出願番号 特願平10-146613

(22) 出願日 平成10年(1998) 5月11日

(31) 優先権主張番号 特願平9-286098

(32) 優先日 平9(1997)10月1日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 小山 潤

神奈川県厚木市長谷398番地 株式会社半

導体エネルギー研究所内

(72) 発明者 納 光明

神奈川県厚木市長谷398番地 株式会社半

導体エネルギー研究所内

(72) 発明者 浅見 宗広

神奈川県厚木市長谷398番地 株式会社半

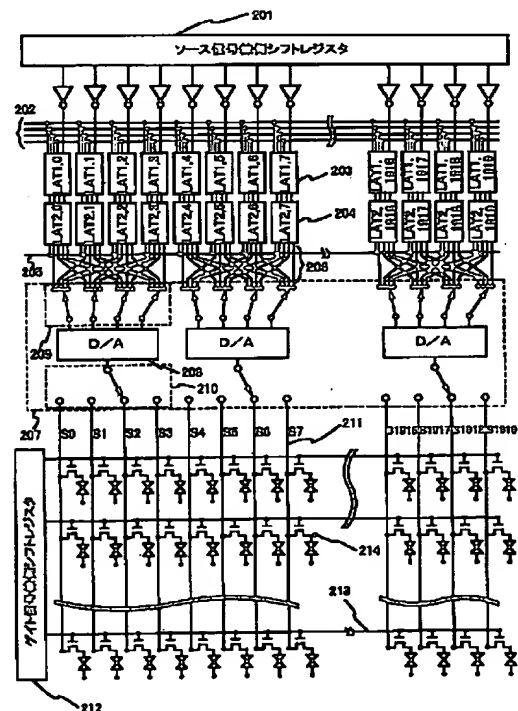
導体エネルギー研究所内

(54) 【発明の名称】 半導体表示装置およびその駆動方法

(57) 【要約】

【課題】 駆動回路の面積を小さくしたデジタル階調方式の半導体表示装置を提供する。

【解決手段】 デジタル階調方式の半導体表示装置の駆動回路において、複数のソース信号線に対して1つのD/A変換回路208を設け、各ソース信号線を時間分割駆動する。こうすることによって駆動回路中のD/A変換回路208の数を減少させることができ、半導体表示装置の小型化を図ることができる。



## 【特許請求の範囲】

【請求項1】 複数のD/A変換回路を有するD/A変換回路部を備えた半導体表示装置であって、前記複数のD/A変換回路の各々が、記憶回路から供給されるデジタル階調信号を順次アナログ変換する半導体表示装置。

【請求項2】 前記記憶回路は、複数のラッチ回路を含む請求項1に記載の半導体表示装置。

【請求項3】 m個のxビットデジタル階調信号(m、xは自然数)を記憶する記憶回路と、前記記憶回路から供給される前記m個のxビットデジタル階調信号をアナログ変換し、m本のソース信号線へアナログ信号を供給するD/A変換回路部と、を備えた半導体表示装置であって、前記D/A変換回路部は、n個のD/A変換回路(nは自然数)を有し、

前記n個のD/A変換回路の各々は、m/n個のxビットデジタル階調信号を順にアナログ変換し、対応するm/n本の前記ソース信号線に供給する半導体表示装置。

【請求項4】 前記記憶回路は、複数のラッチ回路を含む請求項3に記載の半導体表示装置。

【請求項5】 1ライン分m個のxビットデジタル階調信号(m、xは自然数)を記憶するステップと、n個のD/A変換回路(nは自然数)の各々が、1ライン期間にm/n個の前記xビットデジタル階調信号を順にアナログ変換し、対応するm/n本のソース信号線に送出するステップと、を有する半導体表示装置の駆動方法。

【請求項6】 シフトレジスタからのタイミング信号によってm個のxビットデジタル階調信号をサンプリングし、記憶するステップと、n個のD/A変換回路(nは自然数)が、m/n個の前記xビットデジタル階調信号を順次アナログ変換し、対応するm/n本のソース信号線へ階調電圧を送出するステップと、を有する半導体表示装置の駆動方法。

## 【発明の詳細な説明】

## 【0001】

## 【発明の属する技術分野】

【0002】本発明は、マトリクス状に配置された画素により画像などの情報の表示を行なう半導体表示装置に関する。

## 【0003】

## 【従来の技術】

【0004】最近安価なガラス基板上に半導体薄膜を形成した半導体装置、例えば薄膜トランジスタ(TFT)を作製する技術が急速に発達してきている。その理由は、アクティブマトリクス型液晶表示装置(液晶パネル)の需要が高まってきたことによる。

【0005】アクティブマトリクス型液晶パネルは、マトリクス状に配置された数十～数百万個もの画素領域に

それぞれTFTが配置され、各画素電極に出入りする電荷をTFTのスイッチング機能により制御するものである。

【0006】その中でも、高速駆動が可能なデジタル階調方式のアクティブマトリクス型液晶表示装置が注目されてきている。

【0007】従来のデジタル階調方式のアクティブマトリクス型液晶表示装置を図1に示す。従来のデジタル階調方式のアクティブマトリクス型液晶表示装置は、図1に示すようにソース信号線側シフトレジスタ101、デジタルデコーダ102、ラッチ回路103(LAT1)、ラッチ回路104(LAT2)、ラッチパルス線105、D/A変換回路106、ソース信号線107、ゲート信号線側シフトレジスタ108、ゲート信号線(走査線)109、および画素TFT110などによって構成されている。

【0008】デジタルデコーダ102のアドレス線1～4に供給されるデジタル階調信号が、ソース信号線側シフトレジスタからのタイミング信号によりLAT1に書き込まれる。

【0009】LAT1群に対するデジタル階調信号の書き込みが一通り終了するまでの時間は、1ライン期間と呼ばれる。すなわち、図1の一番左側のLAT1に対してデジタルデコーダからの階調信号の書き込みが開始される時点から、一番右側のLAT1に対してデジタルデコーダからの階調信号の書き込みが終了する時点までの時間間隔が1ライン期間である。

【0010】LAT1群に対する階調信号の書き込みが終了した後、メモリ1群に書き込まれた階調信号は、シフトレジスタの動作タイミングに合わせて、ラッチパルス線にラッチパルスが流れ、LAT2群に一斉に送出され、書き込まれる。

【0011】階調信号をLAT2群に送出し終えたLAT1群には、ソース信号線側シフトレジスタからの信号により、再びデジタルデコーダに供給される階調信号の書き込みが順次行なわれる。

【0012】この2順目の1ライン期間中には、2順目の1ライン期間の開始に合わせてLAT2群に送出された階調信号に応じて、D/A変換回路(デジタル/アナログ変換回路)によって階調電圧が選択される。

【0013】選択された階調電圧は、1ライン期間の間対応するソース信号線に供給される。

【0014】上述した動作を繰り返すことによって、液晶表示装置の画素部全体に映像が提供される。

## 【0015】

## 【発明が解決しようとする課題】

【0016】ただし、上述したようなデジタル階調の液晶表示装置の場合、実際にはD/A変換回路の面積は、他の回路と比較してかなり大きく、近年望まれている液晶表示装置の小型化の妨げとなっている。

【0017】また、近年扱う情報量の急激な増加に伴い、表示容量（表示解像度）の増大化および表示解像度の高精細化が図られてきた。しかし、表示容量の増加に伴いD/A変換回路の数も増加していくことになり、駆動回路部の面積の縮小が切に望まれている。

【0018】ここで、一般に用いられているコンピュータの表示解像度の例を、画素数と規格名とによって下記に示す。

画素数（横×縦）	：	規格名
640×400	：	EGA
640×480	：	VGA
800×600	：	SVGA
1024×768	：	XGA
1280×1024	：	SXGA

【0020】たとえば、XGA規格（1024×768画素）を例に取った場合、上述した駆動回路では1024本の信号線に対してそれぞれにD/Aコンバータが必要となる。

【0021】また、最近では、パーソナルコンピュータの分野においても、ディスプレイ上で性格の異なる複数の表示を行うソフトウェアが普及しているため、VGAやSVGA規格よりも、さらに表示解像度の高いXGAやSXGA規格に対応する表示装置へと移行してきている。

【0022】さらに、上記の表示解像度の高い液晶表示装置が、パーソナルコンピュータにおけるデータ信号の表示以外にテレビジョン信号の表示にも用いられるようになってきた。

【0023】近年、ハイビジョンTV（HDTV）やクリアビジョン（EDTV）などの様に美しい画質を表現するために、従来のテレビと比較すると一画面の画像データは数倍多くなってきている。また、大画面化により、見やすさの向上や、1つの表示装置に複数の画像を表示することが可能になるため、ますます大画面かつ高階調が必要となってきている。

【0024】また、将来のデジタル放送対応のTV（ATV）の表示解像度の規格としては、1920×1080画素が有力であり、駆動回路部の面積縮小が早急に要求されている。

【0025】しかし、上述したように、D/A変換回路の占有面積が大きいので、画素数の増加するに従って、駆動回路部の面積は格段に大きくなり、このことが液晶表示装置の小型化の妨げとなっている。

【0026】そこで本発明は上述したような問題に鑑みてなされたものであり、D/A変換回路が駆動回路部に閉める面積を減少させ、小型の半導体表示装置、特に液晶表示装置を提供するものである。

【0027】

【課題を解決するための手段】

【0028】本発明のある実施態様によると、複数のD/A変換回路を有するD/A変換回路部を備えた半導体表示装置であって、前記複数のD/A変換回路の各々が、記憶回路から供給されるデジタル階調信号を順次アナログ変換する半導体表示装置が提供される。このことによって上記目的が達成される。

【0029】前記記憶回路は、複数のラッチ回路を含んでいてもよい。

【0030】また、本発明のある実施態様によると、m個のxビットデジタル階調信号（m、xは自然数）を記憶する記憶回路と、前記記憶回路から供給される前記m個のxビットデジタル階調信号をアナログ変換し、m本のソース信号線へアナログ信号を供給するD/A変換回路部と、を備えた半導体表示装置であって、前記D/A変換回路部は、n個のD/A変換回路（nは自然数）を有し、前記n個のD/A変換回路の各々は、m/n個のxビットデジタル階調信号を順にアナログ変換し、対応するm/n本の前記ソース信号線に供給する半導体表示装置が提供される。このことによって上記目的が達成される。

【0031】前記記憶回路は、複数のラッチ回路を含んでいてもよい。

【0032】また、本発明のある実施態様によると、1ライン分m個のxビットデジタル階調信号（m、xは自然数）を記憶するステップと、n個の各D/A変換回路（nは自然数）の各々が、1ライン期間にm/n個の前記xビットデジタル階調信号を順にアナログ変換し、対応するm/n本のソース信号線に送出するステップと、を含む半導体表示装置の駆動方法が提供される。このことによって上記目的が達成される。

【0033】また、本発明のある実施態様によると、シフトレジスタからのタイミング信号によってm個のxビットデジタル階調信号（m、xは自然数）をサンプリングし、記憶するステップと、n個のD/A変換回路（nは自然数）が、m/n個の前記xビットデジタル階調信号を順次アナログ変換し、対応するm/n本のソース信号線へ階調電圧を送出するステップと、を含む半導体表示装置の駆動方法が提供される。このことによって上記目的が達成される。

【0034】

【実施例】

【0035】（実施例1）

【0036】本実施例では、ソース信号線側の駆動回路（ドライバ）において、ソース信号線4本毎に1つのD/A変換回路を設けることによって、駆動回路内のD/A変換回路の占める面積の減少を図ることができる。

【0037】本実施例では、1920×1080の表示解像度を有する液晶表示装置を例にとって説明する。図2を参照する。図2には、本実施例の液晶表示装置の概略図が示されている。201はソース信号線側シフトレ

ジスタ、202はアドレスデコーダでありラッチ回路203(LAT1, 0~LAT1, 1919)にデジタル階調信号を供給する。なお、本実施例では、4ビットのデジタル階調の駆動回路を例に挙げているが、本発明はこれに限定されるものではなく、6ビット、8ビット、あるいはそれ以外のデジタル階調駆動回路に適用され得る。

【0038】204はラッチ回路(LAT2, 0~LAT2, 1919)であり、ラッチパルス線205からのラッチパルスに基づきLAT1群LAT1, 0~LAT1, 1919から一斉に送出されたデータを記憶する。信号線206は、LAT2群LAT2, 0~LAT2, 1919からの階調信号を下段に供給する。本実施例では、4ビットのデジタル階調信号を扱うので、信号線206は各LAT2から4本ずつ出ていることになる。なお、信号線206には順に符号が付けられるが、図2では省略している。

【0039】図14は、図2においてLAT2からソース信号線211までの回路を図2の一番左のD/A変換回路208に注目して示したものである。信号線206には、L0, 0~L3, 3の符号が付けられているのがわかる。信号線206を示す符号La, bにおいては、aはLAT2の番号、bは0~3に従って上位ビット~下位ビットを示すものとする。

【0040】同様に、全ての信号線にL0, 0~L19, 3の符号が付けられている。

【0041】207で示されている部分(破線部)は、D/A変換部であり、D/A変換回路208、スイッチ回路209(破線部)、およびスイッチ回路210(破線部)を備えている。211はソース信号線であり、S0~S1919の符号が付けられている。

【0042】D/A変換部207において、D/A変換回路208は、LAT2の4個毎(つまりLAT2群LAT2, 0~LAT2, 1919に接続されている信号線L0, 0~L1919, 3の16本毎)に、かつソース信号線S0~S1919の4本毎に1つ設けられている。従って、本実施例では、480個(=1920/4)のD/A変換回路208が設けられていることになる。図2において最も左側のD/A変換回路208に接続されているスイッチ回路209はそれぞれ、4つのLAT2のうちの1つのLAT2からのビット信号を順次選択していく。スイッチ回路210は、S0~S3のうちの1つを選択する。

【0043】212はゲート信号線側シフトレジスタであり、走査線213に走査信号を供給する。また、214は画素TFTであり、電極、液晶材料などと共に画素を構成する。

【0044】次に、本実施例の半導体表示装置の動作について説明する。

【0045】まず、ソース信号線側シフトレジスタ20

1からのタイミング信号によって、LAT1群に順次デジタルデコーダ202からデジタル階調信号が書き込まれる。

【0046】LAT1群に対するデジタル階調信号の書き込みが一通り終了するまでの時間が、1ライン期間である。すなわち、図1の一番左側のLAT1, 0に対してデジタルデコーダからの階調信号の書き込みが開始される時点から、一番右側のLAT1, 1919に対してデジタルデコーダからの階調信号の書き込みが終了する時点までの時間間隔が1ライン期間である。

【0047】LAT1群に対する階調信号の書き込みが終了した後、LAT1群に書き込まれた階調信号は、ラッチパルス線205に供給されるラッチパルスに合わせてLAT2群に一斉に送出される。LAT2群は階調信号を記憶し、信号線206に階

【0048】階調信号をLAT2群に送出し終えたLAT1群には、ソース信号線側シフトレジスタ201からの信号により、再びデジタルデコーダ202に供給される階調信号の書き込みが順次行なわれる。

【0049】次に、信号線206に供給される階調信号が順次D/A変換回路部207によって階調電圧に変換され、ソース信号線S0~S1919に送出されるまでの動作を、図2において最も左側にあるスイッチ回路209、D/A変換回路208、およびスイッチ回路210を例にとりて説明する。

【0050】再び図14を参照する。LAT1群に再び階調信号が順次書き込まれている1ライン期間の間、D/A変換部207は、1ライン期間を4分割して、スイッチ回路209の4つのスイッチを信号線L0, 0~L0, 3、L1, 0~L1, 3、L2, 0~L2, 3、L3, 0~L3, 3へと順次接続していき、かつスイッチ回路210をS0~S3へと順次接続していく。つまり、最初の4分の1ライン期間の間、スイッチ回路209の4つのスイッチはLAT2, 0からのL0, 0~L0, 3を同時に選択し、かつスイッチ回路210はS0を選択する。この間LAT2, 0に供給される階調信号は、4ビット同時にD/A変換回路208に入力され、D/A変換回路208によってアナログ変換された後、階調電圧となってS0に送出される。一方、この間LAT2, 1~LAT2, 3からの信号線L1, 0~L3, 3には階調信号が供給され続けているが、スイッチ回路209はL1, 0~L3, 3を選択しない。またこの間スイッチ回路210はS1~S3を選択しない。

【0051】次に、次の4分の1ライン期間の間、スイッチ回路209の4つのスイッチはLAT2, 1からのL1, 0~L1, 3を同時に選択し、かつスイッチ回路210はS1を選択する。この間LAT2, 1に供給される階調信号は、D/A変換回路208によって階調電圧に変換された後、S1に送出される。一方、この間LAT2, 0、LAT2, 2、およびLAT2, 3からの



信号線L 0, 0～L 0, 3、L 2, 0～L 2, 3、およびL 3, 0～L 3, 3には階調信号が供給され続けているが、スイッチ回路209は、L 0, 0～L 0, 3、L 2, 0～L 2, 3、およびL 3, 0～L 3, 3を選択しない。またこの間スイッチ回路210はS 0、S 2、およびS 3を選択しない。

【0052】さらに、次の4分の1ライン期間の間、スイッチ回路209の4つのスイッチはLAT 2, 2からのL 2, 0～L 2, 3を同時に選択し、かつスイッチ回路210はS 2を選択する。この間LAT 2, 2に供給される階調信号は、D/A変換回路208によって階調電圧に変換された後、S 2に送出される。一方、この間LAT 2, 0、LAT 2, 1、およびLAT 2, 3からの信号線L 0, 0～L 0, 3、L 1, 0～L 1, 3、およびL 3, 0～L 3, 3には階調信号が供給され続けているが、スイッチ回路209は、L 0, 0～L 0, 3、L 1, 0～L 1, 3、およびL 3, 0～L 3, 3を選択しない。またこの間スイッチ回路210はS 0、S 1、およびS 3を選択しない。

【0053】さらに、次の4分の1ライン期間の間（つまり1ライン期間の最後の4分の1ライン期間の間）、スイッチ回路209の4つのスイッチはLAT 2, 3からのL 3, 0～L 3, 3を同時に選択し、かつスイッチ回路210はS 3を選択する。この間LAT 2, 3に供給される階調信号は、D/A変換回路208によって階調電圧に変換された後、S 3に送出される。一方、この間LAT 2, 0～LAT 2, 2からの信号線L 0, 0～L 0, 3、L 1, 0～L 1, 3、およびL 2, 0～L 2, 3には階調信号が供給され続けているが、スイッチ回路209は、L 0, 0～L 0, 3、L 1, 0～L 1, 3、およびL 2, 0～L 2, 3を選択しない。またこの間スイッチ回路210はS 0～S 2を選択しない。

【0054】上述した動作によって、ソース信号線S 0～S 3には、4分の1ライン期間ずつ順に階調電圧が送出される。このソース信号線に送出される階調電圧と、ゲート信号線側シフトレジスタ212から走査線213に供給される走査信号とによって、画素TFTに順次電圧が印加され、画素がスイッチングされる。

【0055】上述した動作が全てのLAT 2, 0～LAT 2, 1919の4個ごとについて同時に行われる。

【0056】1ライン期間のソース信号線への階調電圧の送出が終了する時、LAT 1群への新たな階調信号の書き込みが終了するので、ラッチパルス線205からのラッチパルスによって、LAT 1群に書き込まれた階調信号が再び一斉にLAT 2群に送出される。LAT 2群は新たな階調信号を記憶し、信号線206に階調信号を供給し続ける。

【0057】そして、上述したスイッチング回路209およびスイッチング回路210による信号線206のL 0, 0～L 3, 3およびソース信号線S 0～1919の

選択が開始される。

【0058】図3には、ソース信号線S 0～S 1919に送出されるデータのタイミングが示されている。なお実際には、ソース信号線S 0～S 1919にはアナログ階調電圧が印加されているが、図3においては、階調電圧が供給されるタイミングのみが示されている。

【0059】上記の動作が、全ての選択された走査線について行われ、1画面の画像が作成される。この1画面の作成が1秒間に60回行われる。

【0060】ここで、図4を参照し、D/A変換部207の回路構成を説明する。図4においては、説明の便宜上、図2において一番左側のスイッチング回路209、D/A変換回路208、およびスイッチング回路210のみが示されているが、これらと同様の構成を有する回路が480個設けられている。また、説明の便宜上、スイッチ回路209は論理回路記号で示されている。また、D/A変換回路208には、公知のD/A変換回路が用いられ得るので、ここでは省略する。

【0061】スイッチ回路209は、4本の信号線LS 0～LS 3、16個の2入力NAND回路(N 0～N 15)、および4つの4入力NAND回路(4inn 0～4inn 3)を含む。また、スイッチ回路210は、8本の信号線SS 0～SS 3および反転SS 0～反転SS 3、ならびにNチャネル型TFTおよびPチャネル型TFTで構成されている4つのアナログスイッチ(ASW 0～ASW 3)を含む。なお、信号線反転SS 0～反転SS 3には信号線SS 0～SS 3に送出される信号の反転信号が送出される。

【0062】図4に示されるように、LAT 2群からの信号線L 0, 0～L 3, 3と、信号線LS 0～LS 3とが、それぞれ2入力NAND(N 0～N 15)に入力している。これら16個の2入力NANDの出力が、4つの4入力NAND(4inn 0～4inn 3)に入力している。

【0063】4つの4入力NANDの出力は、D/A変換回路208に入力される。

【0064】D/A変換回路208からの出力は、4つのアナログスイッチ(ASW 0～ASW 3)に入力される。4つのアナログスイッチは、信号線SS 0～SS 3および反転SS 0～反転SS 3からの信号によって制御される。

【0065】上記のような構成が全てのLAT 2(LAT 2, 0～LAT 2, 1919)の4個毎に設けられている。

【0066】図5には、各信号線に入力される信号のタイミングチャートが示されている。LAT 2群(LAT 2, 0～LAT 2, 1919)には、4ビットのデジタル階調信号が入力される。LAT 2群に入力される階調信号は、1ライン期間ごとに新しい階調信号に書き換えられる。

【0067】LS0～LS3に、4分の1ライン期間ずつ順にHiの信号が入力されるので、LAT2群に供給される4ビットのデジタル階調信号が、4分の1ライン期間ずつ順にD/A変換回路208に入力されることになる。

【0068】D/A変換回路208に入力されるデジタル階調信号は、アナログ変換され、階調電圧となって下段のアナログスイッチASW0～ASW3に入力される。アナログスイッチASW0～ASW3は、信号線SS0～SS3およびその反転信号線SS0～SS3によって制御される。アナログスイッチASW0～ASW3を順に開くことによって、ソース信号線S0～S3に4分の1ライン期間ずつ順に階調電圧を供給する。

【0069】以上の動作が全てのLAT2群からの階調信号について行われ、全ての対応するソース信号線に階調電圧が送出される。なお実際には、ソース信号線S0～S1919にはアナログ階調電圧が印加されているが、図3においては、階調電圧が供給されるタイミングのみが示されている。

【0070】このようにして、1ライン分の画素TFTの点灯が行われる。そして、以上の動作が全ての選択された走査線(1080本)について行われ、1画面(1フレーム)の画像が作成される。この1画面の作成が1秒間に60回行われる。

【0071】本実施例では、1画面の作成が1秒間に60回行われるので、1フレーム期間は、 $1/60=16.7\text{ msec}$ である。また、1ライン期間は、 $1/60/1080=15.4\text{ }\mu\text{ sec}$ となり、各画素を駆動する期間は、 $1/60/1080/4=3.86\text{ }\mu\text{ sec}$ である。このような高速駆動を実現できる画素TFTに要求される特性としては、キャリア移動度 $30\text{ cm}^2/\text{Vs}$ 以上である。以下の実施例2では、このような高性能なTFTを実現することができる、半導体装置の製造方法を示す。

【0072】本実施例の駆動回路によると、駆動回路の中でも大きな面積を占めるD/A変換回路の数を従来の4分の1にすることができるので、スイッチ回路分の増加を考慮しても、半導体表示装置の小型化が実現できる。

【0073】なお、本実施例では、D/A変換回路の数を従来の4分の1としたが、本発明は、D/A変換回路の数をこれ以外の数にする事も出来る。たとえば、ソース信号線8本につき1つのD/A変換回路を割り当てた場合、本実施例の半導体表示装置ではD/A変換回路の数は240個となり、駆動回路のさらなる面積縮小が実現される。このように、何本のソース信号線につき1つのD/A変換回路を割り当てるかは、本実施例に限定されるものではない。

【0074】よって、本発明の半導体表示装置が、m本のソース信号線(mは自然数)を有する場合(言い換え

ると、画素数(横×縦)が、 $m \times$ 任意である場合)、1ライン分としてはm個のxビットデジタル階調信号(xは自然数)が供給される。この場合、本発明の半導体表示装置が、n個のD/A変換回路(nは自然数)を有するD/A変換回路部備えているとすると、各D/A変換回路は、 $m/n$ 個のデジタル階調信号を順次アナログ変換し、対応する $m/n$ 本のソース線へアナログ信号を順次供給することになる。なお、デジタル階調信号のビット数に応じたD/A変換回路を用いてやればよい。

【0075】(実施例2)

【0076】本実施例では、実施例1で用いた駆動回路を有する液晶表示装置の作製工程について説明する。

【0077】本実施例では絶縁表面を有する基板上に複数のTFTを形成し、画素マトリクス回路と駆動回路を含む周辺回路とをモノリシックに構成する例を図6～図9に示す。なお、本実施例では駆動回路等の周辺回路の例として、基本回路であるCMOS回路を示す。また、本実施例では、Pチャンネル型TFTとNチャンネル型TFTとがそれぞれ1つのゲート電極を備えている場合について、その作製工程を説明するが、ダブルゲート型のような複数のゲート電極を備えたTFTによるCMOS回路も同様に作製することができる。

【0078】図6を参照する。まず、絶縁表面を有する基板として石英基板601を準備する。石英基板の代わりに熱酸化膜を形成したシリコン基板を用いることもできる。また、石英基板上に一旦非晶質珪素膜を形成し、それを完全に熱酸化して絶縁膜とする様な方法をとっても良い。さらに、絶縁膜として窒化珪素膜を形成した石英基板、セラミックス基板またはシリコン基板を用いても良い。

【0079】602は非晶質珪素膜であり、最終的な膜厚(熱酸化後の膜減りを考慮した膜厚)が $10\sim75\text{ nm}$ (好ましくは $15\sim45\text{ nm}$ )となる様に調節する。なお、成膜に際して膜中の不純物濃度の管理を徹底的に行うことは重要である。

【0080】なお、非晶質珪素膜の成膜に際して膜中の不純物濃度の管理を徹底的に行うことが重要である。本実施例の場合、非晶質珪素膜602中では結晶化を阻害する不純物であるC(炭素)及びN(窒素)の濃度はいずれも $5 \times 10^{18}\text{ atoms/cm}^3$ 未満(代表的には $5 \times 10^{17}\text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{17}\text{ atoms/cm}^3$ 以下)、O(酸素)は $1.5 \times 10^{19}\text{ atoms/cm}^3$ 未満(代表的には $1 \times 10^{18}\text{ atoms/cm}^3$ 以下、好ましくは $5 \times 10^{17}\text{ atoms/cm}^3$ 以下)となる様に管理する。なぜならば各不純物がこれ以上の濃度で存在すると、後の結晶化の際に悪影響を及ぼし、結晶化後の膜質を低下させる原因となるからである。本明細書中において膜中の上記の不純物元素濃度は、SIMS(質量2次イオン分析)の測定結果における最小値で定義される。

【0081】上記構成を得るため、本実施例で用いる減圧熱CVD炉は定期的にドライクリーニングを行い、成膜室の清浄化を図っておくことが望ましい。ドライクリーニングは、200～400℃程度に加熱した炉内に100～300sccmの $\text{ClF}_3$ （フッ化塩素）ガスを流し、熱分解によって生成したフッ素によって成膜室のクリーニングを行えば良い。

【0082】なお、本発明者らの知見によれば炉内温度300℃とし、 $\text{ClF}_3$ （フッ化塩素）ガスの流量を300sccmとした場合、約2μm厚の付着物（主に珪素を主成分する）を4時間で完全に除去することができる。

【0083】また、非晶質珪素膜602中の水素濃度も非常に重要なパラメータであり、水素含有量を低く抑えた方が結晶性の良い膜が得られる様である。そのため、非晶質珪素膜602の成膜は減圧熱CVD法であることが好ましい。なお、成膜条件を最適化することでプラズマCVD法を用いることも可能である。

【0084】次に、非晶質珪素膜602の結晶化工程を行う。結晶化の手段としては特開平7-130652号公報記載の技術を用いる。同公報の実施例1および実施例2のどちらの手段でも良いが、本実施例では、同公報の実施例2に記載した技術内容（特開平8-78329号公報に詳しい）を利用するのが好ましい。

【0085】特開平8-78329号公報記載の技術は、まず触媒元素の添加領域を選択するマスク絶縁膜603を形成する。マスク絶縁膜603は触媒元素を添加するために複数箇所の開口部を有している。この開口部の位置によって結晶領域の位置を決定することができる。

【0086】そして、非晶質珪素膜の結晶化を助長する触媒元素としてニッケル（Ni）を含有した溶液をスピンコート法により塗布し、Ni含有層604を形成する。なお、触媒元素としてはニッケル以外にも、コバルト（Co）、鉄（Fe）、パラジウム（Pd）、ゲルマニウム（Ge）、白金（Pt）、銅（Cu）、金（Au）等を用いることができる（図6（A））。

【0087】また、上記触媒元素の添加工程は、レジストマスクを利用したイオン注入法またはプラズマドーピング法を用いることもできる。この場合、添加領域の占有面積の低減、横成長領域の成長距離の制御が容易となるので、微細化した回路を構成する際に有効な技術となる。

【0088】次に、触媒元素の添加工程が終了したら、450℃で1時間程度の水素出しの後、不活性雰囲気、水素雰囲気または酸素雰囲気中において500～700℃（代表的には550～650℃）の温度で4～24時間の加熱処理を加えて非晶質珪素膜602の結晶化を行う。本実施例では窒素雰囲気中で570℃で14時間の加熱処理を行う。

【0089】この時、非晶質珪素膜602の結晶化はニッケルを添加した領域605および606で発生した核から優先的に進行し、基板601の基板面に対してほぼ平行に成長した結晶領域607および608が形成される。この結晶領域607および608を横成長領域と呼ぶ。横成長領域は比較的揃った状態で個々の結晶が集合しているため、全体的な結晶性に優れるという利点がある（図6（B））。

【0090】なお、上述の特開平7-130652号公報の実施例1に記載された技術を用いた場合も微視的には横成長領域と呼びうる領域が形成されている。しかしながら、核発生が面内において不均一に起こるので結晶粒界の制御性の面で難がある。

【0091】結晶化のための加熱処理が終了したら、マスク絶縁膜603を除去してパターンニングを行い、横成長領域607および608でなる島状半導体層（活性層）609、610、および611を形成する（図6（C））。

【0092】ここで609はCMOS回路を構成するN型TFTの活性層、610はCMOS回路を構成するP型TFTの活性層、611は画素マトリクス回路を構成するN型TFT（画素TFT）の活性層である。

【0093】活性層609、610、および611を形成したら、その上に珪素を含む絶縁膜でなるゲイト絶縁膜612を成膜する。

【0094】そして、次に図6（D）に示す様に触媒元素（ニッケル）を除去または低減するための加熱処理（触媒元素のゲッターリングプロセス）を行う。この加熱処理は処理雰囲気中にハロゲン元素を含ませ、ハロゲン元素による金属元素のゲッターリング効果を利用するものである。

【0095】なお、ハロゲン元素によるゲッターリング効果を十分に得るためには、上記加熱処理を700℃を超える温度で行なうことが好ましい。この温度以下では処理雰囲気中のハロゲン化合物の分解が困難となり、ゲッターリング効果が得られなくなる恐れがある。

【0096】そのため本実施例ではこの加熱処理を700℃を超える温度で行い、好ましくは800～1000℃（代表的には950℃）とし、処理時間は0.1～6hr、代表的には0.5～1hrとする。

【0097】なお、本実施例では酸素雰囲気中に対して塩化水素（HCl）を0.5～10体積％（本実施例では3体積％）の濃度で含有させた雰囲気中において、950℃で、30分の加熱処理を行う例を示す。HCl濃度を上記濃度以上とすると、活性層609、610、および611の表面に膜厚程度の凹凸が生じてしまうため好ましくない。

【0098】また、ハロゲン元素を含む化合物としてHClガスを用いる例を示したが、それ以外のガスとして、代表的にはHF、 $\text{NF}_3$ 、HBr、 $\text{Cl}_2$ 、 $\text{ClF}_3$ 、

$\text{BCl}_3$ 、 $\text{F}_2$ 、 $\text{Br}_2$ 等のハロゲンを含む化合物から選ばれた一種または複数種のものを用いることが出来る。

【0099】この工程においては活性層609、610、および611中のニッケルが塩素の作用によりゲッタリングされ、揮発性の塩化ニッケルとなって大気中へ離脱して除去されると考えられる。そして、この工程により活性層609、610、および611中のニッケルの濃度は $5 \times 10^{17} \text{ atoms/cm}^3$ 以下にまで低減される。

【0100】なお、 $5 \times 10^{17} \text{ atoms/cm}^3$ という値はSIMS（質量二次イオン分析）の検出下限である。本発明者らが試作したTFTを解析した結果、 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下（好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下）ではTFT特性に対するニッケルの影響は確認されなかった。ただし、本明細書中における不純物濃度は、SIMS分析の測定結果の最小値をもって定義される。

【0101】また、上記加熱処理により活性層609、610、および611とゲイト絶縁膜612の界面では熱酸化反応が進行し、熱酸化膜の分だけゲイト絶縁膜612の膜厚は増加する。この様にして熱酸化膜を形成すると、非常に界面準位の少ない半導体／絶縁膜界面を得ることができる。また、活性層端部における熱酸化膜の形成不良（エッジシニング）を防ぐ効果もある。

【0102】また、触媒元素のゲッタリングプロセスを、マスク絶縁膜603を除去した後、活性層をパターンニング前に行なってもよい。また、触媒元素のゲッタリングプロセスを、活性層をパターンニングした後に行なってもよい。また、いずれのゲッタリングプロセスを組み合わせてもよい。

【0103】さらに、上記ハロゲン雰囲気における加熱処理を施した後に、窒素雰囲気中で $950^\circ\text{C}$ で1時間程度の加熱処理を行なうことで、ゲイト絶縁膜612の膜質の向上を図ることも有効である。

【0104】なお、SIMS分析により活性層609、610、および611中にはゲッタリング処理に使用したハロゲン元素が、 $1 \times 10^{15} \text{ atoms/cm}^3 \sim 1 \times 10^{20} \text{ atoms/cm}^3$ の濃度で残存することも確認されている。また、その際、活性層609、610、および611と加熱処理によって形成される熱酸化膜との間に前述のハロゲン元素が高濃度に分布することがSIMS分析によって確かめられている。

【0105】また、他の元素についてもSIMS分析を行った結果、代表的な不純物であるC（炭素）、N（窒素）、O（酸素）、S（硫黄）はいずれも $5 \times 10^{18} \text{ atoms/cm}^3$ 未満（典型的には $1 \times 10^{18} \text{ atoms/cm}^3$ 以下）であることが確認された。

【0106】次に、図示しないアルミニウムを主成分とする金属膜を成膜し、パターンニングによって後のゲイト

電極の原型613、614、および615を形成する。本実施例では2wt%のスカンジウムを含有したアルミニウム膜を用いる（図7（A））。

【0107】なお、このアルミニウムを主成分とする金属膜のかわりに、ゲイト電極に不純物が添加された多結晶珪素膜を用いてもよい。

【0108】次に、特開平7-135318号公報記載の技術により多孔性の陽極酸化膜616、617、および618、無孔性の陽極酸化膜619、620、および621、ゲイト電極622、623、および624を形成する（図7（B））。

【0109】こうして図7（B）の状態が得られたら、次にゲイト電極622、623、および624、多孔性の陽極酸化膜616、617、および618をマスクとしてゲイト絶縁膜612をエッチングする。そして、多孔性の陽極酸化膜616、617、および618を除去して図7（C）の状態を得る。なお、図7（C）において625、626、および627で示されるのは加工後のゲイト絶縁膜である。

【0110】次に、一導電性を付与する不純物元素の添加工程を行う。不純物元素としてはN型ならばP（リン）またはAs（砒素）、P型ならばB（ボロン）またはGa（ガリウム）を用いれば良い。

【0111】本実施例では、不純物添加を2回の工程に分けて行う。まず、1回目の不純物添加（本実施例ではP（リン）を用いる）を高加速電圧80keV程度で行い、 $n^-$ 領域を形成する。この $n^-$ 領域は、Pイオン濃度が $1 \times 10^{18} \text{ atoms/cm}^3 \sim 1 \times 10^{19} \text{ atoms/cm}^3$ となるように調節する。

【0112】さらに、2回目の不純物添加を低加速電圧10keV程度で行い、 $n^+$ 領域を形成する。この時は、加速電圧が低いので、ゲイト絶縁膜がマスクとして機能する。また、この $n^+$ 領域は、シート抵抗が $500 \Omega$ 以下（好ましくは $300 \Omega$ 以下）となるように調節する。

【0113】以上の工程を経て、CMOS回路を構成するN型TFTのソース領域628、ドレイン領域629、低濃度不純物領域630、チャネル形成領域631が形成される。また、画素TFTを構成するN型TFTのソース領域632、ドレイン領域633、低濃度不純物領域634、チャネル形成領域635が確定する（図7（D））。

【0114】なお、図7（D）に示す状態ではCMOS回路を構成するP型TFTの活性層もN型TFTの活性層と同じ構成となっている。

【0115】次に、図8（A）に示すように、N型TFTを覆ってレジストマスク636を設け、P型を付与する不純物イオン（本実施例ではボロンを用いる）の添加を行う。

【0116】この工程も前述の不純物添加工程と同様に

2回に分けて行うが、N型をP型に反転させる必要があるため、前述のPイオンの添加濃度の数倍程度の濃度のB（ボロン）イオンを添加する。

【0117】こうしてCMOS回路を構成するP型TFTのソース領域637、ドレイン領域638、低濃度不純物領域639、チャネル形成領域640が形成される（図8（A））。

【0118】以上の様にして活性層が完成したら、フェーネスアニール、レーザーアニール、ランプアニール等の組み合わせによって不純物イオンの活性化を行う。それと同時に添加工程で受けた活性層の損傷も修復される。

【0119】次に、層間絶縁膜641として酸化珪素膜と窒化珪素膜との積層膜を形成し、コンタクトホールを形成した後、ソース電極642、643、および644、ドレイン電極645、646を形成して図8（B）に示す状態を得る。なお、層間絶縁膜641として有機性樹脂膜を用いることもできる。

【0120】図8（B）に示す状態が得られたら、有機性樹脂膜からなる沿う層間絶縁膜647を0.5～3μmの厚さに形成する。有機性樹脂膜としては、ポリイミド、アクリル、ポリイミドアミド等が用いられる。有機性樹脂膜の利点は、成膜方法が簡単である点、容易に膜厚を厚くできる点、比誘電率が低いので寄生容量を低減できる点、平坦性に優れている点などが挙げられる。

【0121】次に、層間絶縁膜647上に遮光性を有する膜でなるブラックマスク648を100nmの厚さに形成する。なお、本実施例では、ブラックマスク648としてチタン膜を用いるが、黒色顔料を含む樹脂膜等を用いることもできる。

【0122】ブラックマスク648を形成したら、層間絶縁膜649として酸化珪素膜、窒化珪素膜、有機性樹脂膜のいずれかまたはそれらの積層膜を0.1～0.3μmの厚さに形成する。そして層間絶縁膜647および層間絶縁膜649にコンタクトホールを形成し、画素電極650を120nmの厚さに形成する。本実施例の構成によると、ブラックマスク648と画素電極とが重畳する領域で補助容量が形成されている（図8（C））。なお、本実施例は透過型の液晶表示装置の例であるため画素電極650を構成する導電膜としてITO等の透明導電膜を用いる。

【0123】次に、基板全体を350℃の水素雰囲気中で1～2時間加熱し、素子全体の水素化を行うことで膜中（特に活性層中）のダングリングボンド（不対結合手）を補償する。以上の工程を経て同一基板上にCMOS回路および画素マトリクス回路を作製することができる。

【0124】次に、図9に示すように、上記の工程によって作製されたアクティブマトリクス基板をもとに、液晶パネルを作製する工程を説明する。

【0125】図8（C）の状態のアクティブマトリクス

基板に配向膜651を形成する。本実施例では、配向膜651には、ポリイミドを用いた。次に、対向基板を用意する。対向基板は、ガラス基板652、透明導電膜653、配向膜654とで構成される。

【0126】なお、本実施例では、配向膜には、液晶分子が基板に対して平行に配向するようなポリイミド膜を用いた。なお、配向膜形成後、ラビング処理を施すことにより、液晶分子がある一定のプレチルト角を持って平行配向するようにした。

【0127】なお、対向基板には必要に応じてカラーフィルタなどが形成されるが、ここでは省略する。

【0128】次に、上記の工程を経たアクティブマトリクス基板と対向基板とを公知のセル組み工程によって、シール材やスペーサ（図示せず）などを介して貼り合わせる。その後、両基板の間に液晶材料655を注入し、封止剤（図示せず）によって完全に封止する。よって、図9に示すような透過型の液晶パネルが完成する。

【0129】なお、本実施例では、液晶パネルが、TN（ツイストネマチック）モードによって表示を行うようにした。そのため、1対の偏光板（図示せず）がクロスニコル（1対の偏光板が、それぞれの偏光軸を直交させるような状態）で、液晶パネルを挟持するように配置された。

【0130】よって、本実施例では、液晶パネルに電圧が印加されていないとき白表示となる、いわゆるノーマリホワイトモードで表示を行うことが理解される。

【0131】また、作製された液晶パネルの外観を図10（A）～（C）に簡略化して示す。図10において、1001は石英基板、1002は画素マトリクス回路、1003はソース信号線側駆動回路、1004はゲート信号線側駆動回路、1005は他のロジック回路である。1006は対向基板、1007はFPC（Flexible Print Circuit）端子である。また、図10（B）は、本実施例の液晶パネルを図10（A）において矢印Aの方向から見た図であり、図10（C）は矢印Bの方向から見た図である。

【0132】ロジック回路1005は広義的にはTFTで構成される論理回路全てを含むが、ここでは従来から画素マトリクス回路、駆動回路と呼ばれている回路と区別するため、それ以外の信号処理回路（LCDコントローラ、メモリ、パルスジェネレータ等）を指す。

【0133】なお、図10（B）および（C）には、本実施例の液晶パネルは、FPCを取り付ける端面のみアクティブマトリクス基板が外部に出ている。残りの3つの端面は揃っていることが理解される。

【0134】図19に、本実施例のアクティブマトリクス型液晶表示装置の写真を示す。図19によると、良好なチェックパターンの表示が行われていることがわかる。

【0135】ここで、本実施例の作製方法によって作製

された半導体薄膜について説明する。本実施例の作製方法によると、非晶質珪素膜を結晶化させて、連続粒界結晶シリコン（いわゆるContinuous Grain Silicon: CGS）と呼ばれる結晶シリコン膜を得ることができる。

【0136】本実施例の作製方法によって得られた半導体薄膜の横成長領域は棒状または偏平棒状結晶の集合体からなる特異な結晶構造を示す。以下にその特徴について示す。

【0137】〔横成長領域の結晶構造に関する知見〕

【0138】本実施例の的に見れば複数の棒状（または偏平棒状）結晶が互いに概略平行に特定方向への規則性をもって並んだ結晶構造を有する。このことはTEM（透過型電子顕微鏡法）による観察で容易に確認することができる。

【0139】また、本出願人は上述した本実施例の作製方法によって得られた半導体薄膜の結晶粒界をHR-TEM（高分解能透過型電子顕微鏡法）で詳細に観察した（図19）。ただし、本明細書中において結晶粒界とは、断りがない限り異なる棒状結晶同士が接した境界に形成される粒界を指すものと定義する。従って、例えば別々の横成長領域がぶつかりあって形成される様なマクロな意味あいでの粒界とは区別して考える。

【0140】ところで前述のHR-TEM（高分解能透過型電子顕微鏡法）とは、試料に対して垂直に電子線を照射し、透過電子や弾性散乱電子の干渉を利用して原子・分子配列を評価する手法である。同手法を用いることで結晶格子の配列状態を格子縞として観察することが可能である。従って、結晶粒界を観察することで、結晶粒界における原子同士の結合状態を推測することができる。

【0141】本発明者らが得たTEM写真（図19）では異なる二つの結晶粒（棒状結晶粒）が結晶粒界で接した状態が明瞭に観察された。また、この時、二つの結晶粒は結晶軸に多少のずれが含まれているものの概略{110}配向であることが電子線回折により確認されている。

【0142】ところで、前述の様なTEM写真による格子縞観察では{110}面内に{111}面に対応する格子縞が観察された。なお、{111}面に対応する格子縞とは、その格子縞に沿って結晶粒を切断した場合に断面に{111}面が現れる様な格子縞を指している。格子縞がどの様な面に対応するかは、簡易的には格子縞間の距離により確認できる。

【0143】この時、本出願人は上述した本実施例の作製方法によって得られた半導体薄膜のTEM写真を詳細に観察した結果、非常に興味深い知見を得た。写真に見える異なる二つの結晶粒ではどちらにも{111}面に対応する格子縞が見えていた。そして、互いの格子縞が明らかに平行に走っているのが観察されたのである。

【0144】さらに、結晶粒界の存在と関係なく、結晶

粒界を横切る様にして異なる二つの結晶粒の格子縞が繋がっていた。即ち、結晶粒界を横切る様にして観測される格子縞の殆どが、異なる結晶粒の格子縞であるにも拘らず直線的に連続していることが確認できた。これは任意の結晶粒界で同様であった。

【0145】この様な結晶構造（正確には結晶粒界の構造）は、結晶粒界において異なる二つの結晶粒が極めて整合性よく接合していることを示している。即ち、結晶粒界において結晶格子が連続的に連なり、結晶欠陥等に起因するトラップ準位を非常に作りにくい構成となっている。換言すれば、結晶粒界において結晶格子に連続性があるとも言える。

【0146】なお、図20に、本出願人らはリファレンスとして従来の多結晶珪素膜（いわゆる高温ポリシリコン膜）についても電子線回折およびHR-TEM観察による解析を行った。その結果、異なる二つの結晶粒において互いの格子縞は全くバラバラに走っており、結晶粒界で整合性よく連続する様な接合は殆どなかった。即ち、結晶粒界では格子縞が途切れた部分が多く、結晶欠陥が多いことが判明した。

【0147】本発明者らは、本願発明の半導体装置の液晶パネルに利用する半導体薄膜の様に格子縞が整合性良く対応した場合の原子の結合状態を整合結合と呼び、その時の結合手を整合結合手と呼ぶ。また、逆に従来の多結晶珪素膜に多く見られる様に格子縞が整合性良く対応しない場合の原子の結合状態を不整合結合と呼び、その時の結合手を不整合結合手（又は不對結合手）と呼ぶ。

【0148】本願発明で利用する半導体薄膜は結晶粒界における整合性が極めて優れているため、上述の不整合結合手が極めて少ない。本発明者らが任意の複数の結晶粒界について調べた結果、全体の結合手に対する不整合結合手の存在割合は10%以下（好ましくは5%以下、さらに好ましくは3%以下）であった。即ち、全体の結合手の90%以上（好ましくは95%以上、さらに好ましくは97%以上）が整合結合手によって構成されているのである。

【0149】また、前述の本実施例の工程に従って作製した横成長領域を電子線回折で観察した結果を図21

(a)に示す。なお、図21(b)は比較のために観察した従来のポリシリコン膜（高温ポリシリコン膜と呼ばれるもの）の電子線回折パターンである。

【0150】図21(a)、(b)に示す電子線回折パターンは電子線の照射エリアの径が4.25 $\mu$ mであり、十分に広い領域の情報を拾っている。ここで示している写真は任意の複数箇所を調べた結果の代表的な回折パターンである。

【0151】図21(a)の場合、〈110〉入射に対応する回折スポット（回折斑点）が比較的きれいに現れており、電子線の照射エリア内では殆ど全ての結晶粒が{110}配向していることが確認できる。一方、図2



1 (b) に示す従来の高温ポリシリコン膜の場合、回折スポットには明瞭な規則性が見られず、 $\{110\}$  面以外の面方位の結晶粒が不規則に混在することが判明した。

【0152】この様に、結晶粒界を有する半導体薄膜でありながら、 $\{110\}$  配向に特有の規則性を有する電子線回折パターンを示す点が本願発明で利用する半導体薄膜の特徴であり、電子線回折パターンを比較すれば従来の半導体薄膜との違いは明白である。

【0153】以上の様に、前述に示した本実施例の作製工程で作製された半導体薄膜は従来の半導体薄膜とは全く異なる結晶構造（正確には結晶粒界の構造）を有する半導体薄膜であった。本発明者らは本願発明で利用する半導体薄膜について解析した結果を特願平9-55633号、同9-165216号、同9-212428号でも説明している。

【0154】また、上述の様な本願発明で利用する半導体薄膜の結晶粒界は、90%以上が整合結合手によって構成されているため、キャリアの移動を阻害する障壁（バリア）としては機能は殆どない。即ち、本願発明で利用する半導体薄膜は実質的に結晶粒界が存在しないとも言える。

【0155】従来の半導体薄膜では結晶粒界がキャリアの移動を妨げる障壁として機能していたのだが、本願発明で利用する半導体薄膜ではその様な結晶粒界が実質的に存在しないので高いキャリア移動度が実現される。そのため、本願発明で利用する半導体薄膜を用いて作製したTFTの電気特性は非常に優れた値を示す。この事については以下に示す。

【0156】〔TFTの電気特性に関する知見〕

【0157】本願発明で利用する半導体薄膜は実質的に単結晶と見なせる（実質的に結晶粒界が存在しない）ため、それを活性層とするTFTは単結晶シリコンを用いたMOSFETに匹敵する電気特性を示す。本発明者らが試作したTFTからは次に示す様なデータが得られている。

【0158】(1) TFTのスイッチング性能（オン/オフ動作の切り換えの俊敏性）の指標となるサブスレッショルド係数が、Nチャネル型TFTおよびPチャネル型TFTともに60~100mV/decade（代表的には60~85mV/decade）と小さい。

(2) TFTの動作速度の指標となる電界効果移動度（ $\mu_{FE}$ ）が、Nチャネル型TFTで200~650cm<sup>2</sup>/Vs（代表的には250~300cm<sup>2</sup>/Vs）、Pチャネル型TFTで100~300cm<sup>2</sup>/Vs（代表的には150~200cm<sup>2</sup>/Vs）と大きい。

(3) TFTの駆動電圧の指標となるしきい値電圧（ $V_{th}$ ）が、Nチャネル型TFTで-0.5~1.5V、Pチャネル型TFTで-1.5~0.5Vと小さい。

【0159】以上の様に、極めて優れたスイッチング特性および高速動作特性が実現可能であることが確認され

ている。

【0160】なお、CGSを形成するにあたって前述した結晶化温度以上の温度（700~1100℃）でのアニール工程は、結晶粒内の欠陥低減に関して重要な役割を果たしている。そのことについて以下に説明する。

【0161】図22(a)は、前述の結晶化工程までを終了した時点での結晶シリコン膜を25万倍に拡大したTEM写真であり、結晶粒内（黒い部分と白い部分はコントラストの差に起因して現れる）に矢印で示されるようなジグザグ上に見える欠陥が確認される。

【0162】このような欠陥としては主としてシリコン結晶格子面の原子の積み重ね順序が食い違っている積層欠陥であるが、転位などの場合もある。図22(a)は $\{111\}$ 面に平行な欠陥面を有する積層欠陥と思われる。そのことは、ジグザグ状に見える欠陥が約70°の角度をなして折れ曲がっていることから確認できる。

【0163】一方、図22(b)に示すように、同倍率で見た本発明に用いた結晶シリコン膜は、結晶粒内にはほとんど積層欠陥や転位などに起因する欠陥が見られず、非常に結晶性が高いことが確認できる。この傾向は膜面全体について言えることであり、欠陥数をゼロにすることは現状では困難であるものの、実質的にはゼロと見なせる程度にまで低減することができる。

【0164】即ち、本発明の半導体装置の液晶パネルに用いた結晶シリコン膜は、結晶粒内の欠陥がほとんど無視し得る程度にまで低減され、且つ、結晶粒界が高い連続性によってキャリア移動の障壁になりえないため、単結晶または実質的に単結晶と見なせる。

【0165】このように図22(a)と(b)との写真が示した結晶シリコン膜はどちらも結晶粒界にほぼ同等の連続性を有しているが、結晶粒内の欠陥数には大きな差がある。図22(b)に示した結晶シリコン膜が図22(a)に示した結晶シリコン膜よりも遥かに高い電気特性を示す理由はこの欠陥数の差による所が大きい。

【0166】以上のことから、CGSを作製するにあたって、触媒元素のゲッターリングプロセスは必要不可欠な工程であることが判る。本発明者らは、この工程によって起こる現象について次のようなモデルを考えている。

【0167】まず、図22(a)に示す状態では結晶粒内の欠陥（主として積層欠陥）には触媒元素（代表的にはニッケル）が偏析している。即ち、Si-Ni-Siといった形の結合が多数存在していると考えられる。

【0168】しかしながら、触媒元素のゲッターリングプロセスを行うことで欠陥に存在するNiが除去されるとSi-Ni結合は切れる。そのため、シリコンの余った結合手は、すぐにSi-Si結合を形成して安定する。こうして欠陥が消滅する。

【0169】勿論、高い温度での熱アニールによって結晶シリコン膜中の欠陥が消滅することは知られているが、ニッケルとの結合が切れて、未結合手が多く発生す

るためのシリコンの再結合がスムーズに行われると推測できる。

【0170】また、本発明者らは結晶化温度以上の温度（700～1100℃）で加熱処理を行うことで結晶シリコン膜とその下地との間が固着し、密着性が高まることで欠陥が消滅するというモデルも考えている。

【0171】こうして得られた結晶シリコン膜（図22（b））は、単に結晶化をおこなっただけの結晶シリコン膜（図22（a））と比較して格段に結晶粒内の欠陥数が少ないという特徴を有している。この欠陥数の差は電子スピン共鳴分析（Electron Spin Resonance：ESR）によってスピン密度の差となって現れる。現状では本発明に用いた結晶シリコン膜のスピン密度は少なくとも $1 \times 10^{18}$ 個/cm<sup>3</sup>以下（代表的には $5 \times 10^{17}$ 個/cm<sup>3</sup>以下）である。

【0172】以上のような結晶構造および特徴を有する本発明に用いた結晶シリコン膜を、連続粒界結晶シリコン（Continuous Grain Silicon：CGS）と呼んでいる。

【0173】（実施例3）

【0174】本実施例では、実施例1で述べた駆動回路を有する半導体表示装置を逆スタガ型で作製する。

【0175】図11を参照する。図11には、本実施例の半導体表示装置のアクティブマトリクス基板の断面図を示している。なお、図では、半導体表示装置の駆動回路の代表的な回路として、CMOS回路が示されている。また、画素TFTによって構成される画素マトリクス回路やその他の周辺回路も同時に形成されている。

【0176】1101は基板、1102は下地絶縁膜、1103および1104はゲイト電極、1105はゲイト絶縁膜、1106および1107はN型TFTのソース・ドレイン領域、1108および1109は低濃度不純物領域、1110はチャネル形成領域、1111および1112はP型TFTのソース・ドレイン領域、1113および1114は低濃度不純物領域、1115はチャネル形成領域、1116および1117はチャネルストッパ、1118は層間絶縁膜、1119、1120および1121はソースドレイン電極である。なお、チャネルストッパ1116および1117は、N型あるいはP型TFTのチャネル形成領域を作製する際のドーピングマスクとして機能する。

【0177】本実施例の半導体活性層は、実施例2の方法によって多結晶化され得る。

【0178】また、本実施例の半導体活性層は、レーザーアニール技術を用いて多結晶化され得る。

【0179】また、その他の構成については、実施例2に従うものとする。

【0180】（実施例4）

【0181】本実施例では、実施例1で述べた駆動回路を有する半導体表示装置を実施例3で述べたものとは異

なる逆スタガ型で作製する。

【0182】図12を参照する。1201は基板、1202は下地絶縁膜、1203および1204はゲイト電極、1205はゲイト絶縁膜、1206および1207は半導体活性層、1208および1209はn<sup>+</sup>層、1210および1211はp<sup>+</sup>層、1212、1213および1214はソース・ドレイン電極、1215はチャネル保護膜である。

【0183】本実施例の半導体活性層は、実施例2の方法によって多結晶化され得る。

【0184】また、本実施例の半導体活性層は、レーザーアニール技術を用いて多結晶化され得る。

【0185】また、その他の構成については、実施例2に従うものとする。

【0186】（実施例5）

【0187】本実施例では、スイッチ回路の具体的な回路構成の一例について説明する。本実施例では、アクティブマトリクス型半導体表示装置の主用部のブロック図を示すことにする。シフトレジスタ回路、ラッチ回路等については実施例1を参照することができる。なお、本実施例においても、表示媒体に液晶を用いたアクティブマトリクス型液晶表示装置を構成することができる。

【0188】図15を参照する。図15には、本実施例のアクティブマトリクス型半導体表示装置の主要部のブロック図が示されている。実施例1と異なる点は、ソース信号線側駆動回路が、画素マトリクス回路を挟んで上下に用いられていること、ゲイト信号線側駆動回路が画素マトリクス回路を挟んで左右に用いられていること、ソース信号線側駆動回路にレベルシフト回路が用いられていること、デジタルビデオデータ分割回路が設けられていること等がある。また、D/A変換回路に関しては、実施例1の様なD/A変換回路を用いることもできるが、デジタルビデオデータを上位ビットと下位ビットとに分割し、第1および第2のD/A変換回路によって、デジタルビデオデータのアナログ映像信号化をすることもできる。また、レベルシフト回路は必要に応じて用いられよく、必ずしも用いなくても良い。

【0189】本実施例のアクティブマトリクス型液晶表示装置は、ソース信号線側駆動回路A1501、ソース信号線側駆動回路A1502、ゲイト信号線側駆動回路A1512、ソース信号線側駆動回路A1515、画素マトリクス回路1516、およびデジタルビデオデータ分割回路1510を有している。

【0190】ソース信号線側駆動回路A1501は、シフトレジスタ回路1502、バッファ回路1502、ラッチ回路（1）1504、ラッチ回路（2）1505、セクタ（スイッチ）回路（1）1508、レベルシフト回路1507、D/A変換回路1508、セクタ（スイッチ）回路（2）1509を備えている。ソース信号線側駆動回路A101は、奇数番目のソース信号線



に映像信号（階調電圧信号）を供給する。なお、本実施例では、上記実施例1で説明したスイッチ回路に相当する回路をセレクト回路と呼ぶことにする。

【0191】ソース信号線側駆動回路A1501の動作を説明する。シフトレジスタ回路1501には、スタートパルスおよびクロック信号が入力される。シフトレジスタ回路1501は、上記のスタートパルスおよびクロック信号に基づきタイミング信号をバッファ回路1503に順次供給する。

【0192】シフトレジスタ回路1502からのタイミング信号は、バッファ回路1503によってバッファされる。シフトレジスタ回路1502から画素マトリクス回路1518に接続されているソース信号線までには、多くの回路あるいは素子が接続されているために負荷容量が大きい。この負荷容量が大きいために生ずるタイミング信号の“鈍り”を防ぐために、このバッファ回路1503が設けられている。

【0193】バッファ回路1503によってバッファされたタイミング信号は、ラッチ回路(1)1504に供給される。ラッチ回路(1)1504は、2ビットのデータを扱うラッチ回路を960個含んでいる。ラッチ回路(1)1504は、前記タイミング信号が入力されると、デジタルビデオデータ分割回路から供給されるデジタル信号を順次取り込み、保持する。

【0194】ラッチ回路(1)1504の全てのラッチ回路に対するデジタル信号の書き込みが一通り終了するまでの時間は、1ライン期間（horizontal scanning period）と呼ばれる。すなわち、ラッチ回路(1)1504の中で一番左側のラッチ回路に対してデジタルビデオデータ分割回路からのデジタルビデオデータの書き込みが開始される時点から、一番右側のラッチ回路へのデジタルビデオデータの書き込みが終了する時点までの時間間隔が1ライン期間である。

【0195】ラッチ回路(1)1504に対するデジタルビデオデータの書き込みが終了した後、ラッチ回路(1)1504に書き込まれたデジタルビデオデータは、シフトレジスタ回路1502の動作タイミングに合わせて、ラッチ回路(2)1505に接続されているラッチパルス線にラッチパルスが流れた時にラッチ回路(2)1505に一斉に送出され、書き込まれる。

【0196】デジタルビデオデータをラッチ回路(2)1505に送出し終えたラッチ回路(1)1504には、シフトレジスタ回路1502からのタイミング信号により、再びデジタルビデオデータ分割回路から供給されるデジタルビデオデータの書き込みが順次行われる。このようなラッチ回路(1)およびラッチ回路(2)の動作は、実施例1と特に異なることはない。

【0197】この2順目の1ライン期間中には、2順目の1ライン期間の開始に合わせてラッチ回路(2)に送出されたデジタルビデオデータが、セレクト回路(1)

1506によって順次選択される。本実施例のセレクト回路の構成および動作については、後述する。

【0198】セレクト回路(1)1506で選択された、ラッチ回路から2ビットのデジタルビデオデータがレベルシフタ1507に供給される。レベルシフタ1507によってデジタルビデオデータの電圧レベルは上げられ、D/A変換回路1508に供給される。D/A変換回路1508は、2ビットのデジタルビデオデータをアナログ信号（階調電圧）に変換し、セレクト回路

(2)1509によって選択されるソース信号線に順次供給される。ソース信号線に供給されるアナログ信号は、ソース信号線に接続されている画素マトリクス回路の画素TF Tのソース領域に供給される。

【0199】ゲイト信号線側駆動回路A1512においては、シフトレジスタ1513からのタイミング信号がバッファ回路1514に供給され、対応するゲイト信号線（走査線）に供給される。ゲイト信号線には、1ライン分の画素TF Tのゲイト電極が接続されており、1ライン分全ての画素TF Tを同時にONにしないといけないので、バッファ回路1514には電流容量の大きなものが用いられる。

【0200】このように、ゲイト信号線側シフトレジスタからの走査信号によって対応するTF Tのスイッチングが行われ、ソース信号線側駆動回路からのアナログ信号（階調電圧）が画素TF Tに供給され、液晶分子が駆動される。

【0201】1511はソース信号線側駆動回路Bであり、構成はソース信号線側駆動回路A1501と同じである。ソース信号線側駆動回路B1511は、偶数番目のソース信号線に映像信号を供給する。

【0202】1515はゲイト信号線側駆動回路Bであり、ゲイト信号線側駆動回路A1512と同じ構成をとる。本実施例では、このようにゲイト信号線側駆動回路を画素マトリクス回路1516の両端に設け、両方のゲイト信号線側駆動回路を動作させることによって、片方が動作しない場合にも表示不良を引き起こすことが無い。

【0203】1510はデジタルビデオデータ分割回路である。デジタルビデオデータ分割回路1510は、外部から入力されるデジタルビデオデータの周波数を1/mに落とすための回路である。デジタルビデオデータを分割することにより、駆動回路の動作に必要な信号の周波数も1/mに落とすことができる。

【0204】なおデジタルビデオデータ分割回路を画素マトリクス回路や他の駆動回路と同じ基板上に一体形成することは、本出願人による特許出願である特願平9-356238号に開示されている。前記特許出願には、デジタルビデオデータ分割回路の動作の説明が詳細になされており、本実施例のデジタルビデオデータ分割回路の動作を理解する上で参考に使いたい。

【0205】画素マトリクス回路116は、横1920×縦1080の画素TFTがマトリクス状に配置された構成をとる。

【0206】上述した動作を走査線の数だけ繰り返すことによって1画面(1フレーム)が形成される。本実施例のアクティブマトリクス型液晶表示装置では、1秒間に60フレームの画像の書き換えが行われている。

【0207】ここで、本実施例のセクタ回路(1)1506およびセクタ回路(2)1509の構成ならびに動作について説明する。セクタ回路の基本概念は、実施例1で説明したスイッチ回路と同じである。本実施例では、ソース信号線4本毎に一つのセクタ回路

(1)およびセクタ回路(2)が用いられている。よって、ソース信号線側駆動回路(A)には、240個のセクタ回路(1)および240個のセクタ回路

(2)が用いられており、ソース信号線側駆動回路

(B)には、240個のセクタ回路(1)および240個のセクタ回路(2)が用いられている。

【0208】図16を参照する。図16には、説明の便宜上、ソース信号線側駆動回路(A)の最も左のセクタ回路(1)のみが示されている。実際のソース信号線側駆動回路には、このセクタ回路が240個用いられている。

【0209】本実施例のセクタ回路(1)の一つは、図16に示されるように、8個の3入力NAND回路と、2個の4入力NAND回路と、2個のインバータを有している。本実施例のセクタ回路(1)1506には、ラッチ回路(2)1505からの信号が入力され、ラッチ回路(2)1505からの信号線L0、0、L0、1、L1、0、L1、1、...、L1919、0、L1919、1のうち、信号線L0、0、L0、1、L1、0、L1、1、L2、0、L2、1、L3、0、L3、1が図16に示されるセクタ回路(1)に接続されている。La、bという記載は、左からa番目のソース信号線に供給されるデジタルビデオデータのbビット目の信号が供給されることを意味する。また、セクタ回路(1)には、信号線SS1およびSS2からタイミング信号が入力される。セクタ回路(1)からの信号は、レベルシフタ1507に入力され、その後D/A変換回路1508に入力される。

【0210】ここで、図17を参照する。図17には、セクタ回路(2)が示されている。図17には、説明の便宜上、最も左のセクタ回路(2)が示されている。実際のソース信号線側駆動回路には、このセクタ回路が240個用いられている。

【0211】本実施例のセクタ回路(2)は、図17に示されるように、3個のPチャネル型TFTと3個のNチャネル型TFTとを有するアナログスイッチ4個と、3個のインバータを有している。セクタ回路(2)には、D/A変換回路1508によってアナログ

信号に変換されたアナログ映像信号が入力される。

【0212】図18には、セクタ回路(1)1506およびセクタ回路(2)1509に入力される2ビットのデータおよびタイミング信号のタイミングチャートが示されている。LSはラッチ信号であり、1ライン期間(horizontal scanning period)の開始時に、ラッチ回路(2)に供給される信号である。bit-0およびbit-1は、ラッチ回路(2)から出力されるデジタル映像信号の0ビット目、1ビット目のデータをそれぞれ示す。なお、ここでは、図16に示されるセクタ回路(1)に接続されているラッチ回路(2)からの信号線L0、1およびL0、0にはそれぞれ、A1およびA0というデジタル信号が供給され、信号線L1、1およびL1、0にはそれぞれ、B1およびB0というデジタル信号が供給され、信号線L2、1およびL2、0にはそれぞれ、C1およびC0というデジタル信号が供給され、信号線L3、1およびL3、0にはそれぞれ、D1およびD0というデジタル信号が供給されたとする。

【0213】セクタ回路(1)において、SS1およびSS2に供給されるタイミング信号に基づいて、bit-1およびbit-0に出力される信号が選択される。つまり、最初の(1/4)ライン期間には、bit-1にはA1が出力され、かつbit-0にはA0が出力される。次の(1/4)ライン期間には、bit-1にはB1が出力され、かつbit-0にはB0が出力される。次の(1/4)ライン期間には、bit-1にはC1が出力され、かつbit-0にはC0が出力される。そして、最後の(1/4)ライン期間には、bit-1にはD1が出力され、かつbit-0にはD0が出力される。このように、(1/4)ライン期間づつラッチ回路(2)からのデータがレベルシフタ回路に供給されることになる。

【0214】なお、D/A変換回路1508に用いることができるD/A変換回路の一例として、本出願人の特許出願である、特願平9-344351号および特願平9-365054号に記載されているD/A変換回路を上げることができる。これらの特許出願に開示されているD/A変換回路は、上述したように、デジタルビデオデータを上位ビットと下位ビットに分割し、2つのD/A変換回路を用いることによってアナログ映像信号を作り出している。例えば、4ビットのデジタルビデオデータを用いる場合、上位2ビットと下位2ビットとに分割してD/A変換を行っても良い。

【0215】D/A変換回路から供給されるアナログ映像信号は、セクタ回路(2)によって選択され、ソース信号線に供給される。この場合も、(1/4)ライン期間ずつ対応するソース信号線にアナログ映像信号が供給されるが、デコードイネイブル信号(DE)によってアナログ信号の電圧が完全に確定している間だけ、ソース信号線にアナログ映像信号が供給されることになる。

【0216】なお、本実施例では、2ビットのデジタルビデオデータを扱ったが、2ビット以上のデジタルビデオデータを扱うこともできる。

【0217】また、本実施例では、ソース信号線4本に一つD/A変換回路を設けるため、スイッチ回路を用い、D/A変換回路の数を従来の4分の1としたが、本発明は、D/A変換回路の数をこれ以外の数にする事も出来る。たとえば、ソース信号線8本につき1つのD/A変換回路を割り当てた場合、本実施例の半導体表示装置ではD/A変換回路の数は240個となり、駆動回路のさらなる面積縮小が実現される。このように、何本のソース信号線につき1つのD/A変換回路を割り当てるかは、本実施例に限定されるものではない。

【0218】よって、本発明の半導体表示装置が、m本のソース信号線（mは自然数）を有する場合（言い換えると、画素数（横×縦）が、m×任意である場合）、1ライン分としてはm個のxビットデジタル階調信号（xは自然数）が供給される。この場合、本発明の半導体表示装置が、n個のD/A変換回路（nは自然数）を有するD/A変換回路部備えているとすると、各D/A変換回路は、m/n個のデジタル階調信号を順次アナログ変換し、対応するm/n本のソース線へアナログ信号を順次供給することになる。なお、デジタル階調信号のビット数に応じたD/A変換回路を用いてやればよい。

【0219】本実施例によると、駆動回路の中でも大きな面積を占めるD/A変換回路の数を従来の4分の1にすることができるので、セレクト回路分の増加を考慮しても、半導体表示装置の小型化が実現できる。

【0220】（実施例6）

【0221】また、上記実施例2～5は、透過型の液晶パネルについて説明してきたが、実施例1の駆動回路は、反射型の液晶パネルにも用いられるのは言うまでもない。また、液晶材料に強誘電性液晶や反強誘電性液晶などを用いることもできる。

【0222】また、上記実施例2～5では、表示媒体として液晶を用いる場合について説明してきたが、実施例1の駆動回路は、液晶と高分子との混合層、いわゆる高分子分散型液晶表示装置にも用いることができる。また、実施例1の駆動回路は、印加電圧に応答して光学的特性が変調され得るその他のいかなる表示媒体を有する表示装置に用いてもよい。例えば、エレクトロルミネセンス素子やエレクトロクロミクス素子などを表示媒体として用いてもよい。

【0223】（実施例7）

【0224】上記実施例1～6の半導体表示装置をは、様々な用途がある。本実施例では、本発明の半導体表示装置を組み込んだ半導体装置について説明する。

【0225】このような半導体装置には、ビデオカメラ、スチルカメラ、プロジェクタ、ヘッドマウントディスプレイ、カーナビゲーション、パーソナルコンピュー

タ、携帯情報端末（モバイルコンピュータ、携帯電話など）などが挙げられる。それらの一例を図13に示す。

【0226】図13（A）は携帯電話であり、本体1301、音声出力部1302、音声入力部1303、半導体表示装置1304、操作スイッチ1305、アンテナ1306で構成される。

【0227】図13（B）はビデオカメラであり、本体1401、半導体表示装置1402、音声入力部1403、操作スイッチ1404、バッテリー1405、受像部1406で構成される。

【0228】図13（C）はモバイルコンピュータであり、本体1501、カメラ部1502、受像部1503、操作スイッチ1504、半導体表示装置1505で構成される。

【0229】図13（D）はヘッドマウントディスプレイであり、本体1601、半導体表示装置1602、バンド部1603で構成される。

【0230】図13（E）はリア型プロジェクタであり、1701は本体、1702は光源、1703は半導体表示装置、1704は偏光ビームスプリッタ、1705および1706はリフレクター、1707はスクリーンである。なお、リア型プロジェクタは、視聴者の見る位置によって、本体を固定したままスクリーンの角度を変えることができるのが好ましい。

【0231】図13（F）はフロント型プロジェクタであり、本体1801、光源1802、半導体表示装置1803、光学系1804、スクリーン1805で構成される。

【0232】

【発明の効果】

【0233】本発明の半導体表示装置は、その駆動回路の中でも大きな面積を占めるD/A変換回路の数を従来よりも大幅に少なくすることができるので、半導体表示装置の小型化が実現できる。

【図面の簡単な説明】

【図1】 従来のデジタル階調の半導体表示装置の概略図である。

【図2】 本発明のある実施形態による半導体表示装置の概略図である。

【図3】 本発明のある実施形態による半導体表示装置のソース信号線のタイミングチャートである。

【図4】 本発明のある実施形態によるD/A変換部の構成図である。

【図5】 本発明のある実施形態によるD/A変換部のタイミングチャートである。

【図6】 本発明のある実施形態による半導体表示装置の作製工程を示す図である。

【図7】 本発明のある実施形態による半導体表示装置の作製工程を示す図である。

【図8】 本発明のある実施形態による半導体表示装置

の作製工程を示す図である。

【図 9】 本発明のある実施形態による半導体表示装置の断面図である。

【図 10】 本発明のある実施形態による半導体表示装置の上面図および側面図である。

【図 11】 本発明のある実施形態による半導体表示装置のアクティブマトリクス基板の断面図である。

【図 12】 本発明のある実施形態による半導体表示装置のアクティブマトリクス基板の断面図である。

【図 13】 本発明の半導体表示装置を搭載した半導体装置の例である。

【図 14】 本発明のある実施形態による半導体表示装置の部分構成図である。

【図 15】 本発明のある実施形態による半導体表示装置のブロック図である。

【図 16】 本発明のある実施形態によるセクタ回路（スイッチ回路）の回路構成図である。

【図 17】 本発明のある実施形態によるセクタ回路（スイッチ回路）の回路構成図である。

【図 18】 本発明のある実施形態によるセクタ回路のタイミングチャートである。

【図 19】 本発明のある実施形態による半導体表示装

置の写真図である。

【図 20】 CGSのTEM写真図である。

【図 21】 高温ポリシリコンのTEM写真図である。

【図 22】 CGSおよび高温ポリシリコンの電子線回折パターンを示す写真図である。

【図 23】 CGSおよび高温ポリシリコンのTEM写真図である。

【符号の説明】

201 ソース信号線側シフトレジスタ

202 デジタルデコーダ

203 ラッチ回路

204 ラッチ回路

205 信号線

206 信号線

207 D/A変換回路部

208 D/A変換回路

209 スイッチ回路

210 スイッチ回路

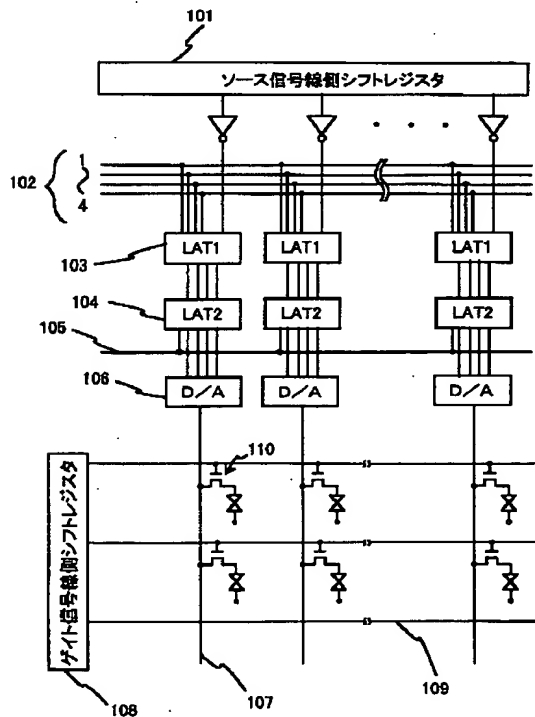
211 ソース信号線

212 ゲイト信号線側シフトレジスタ

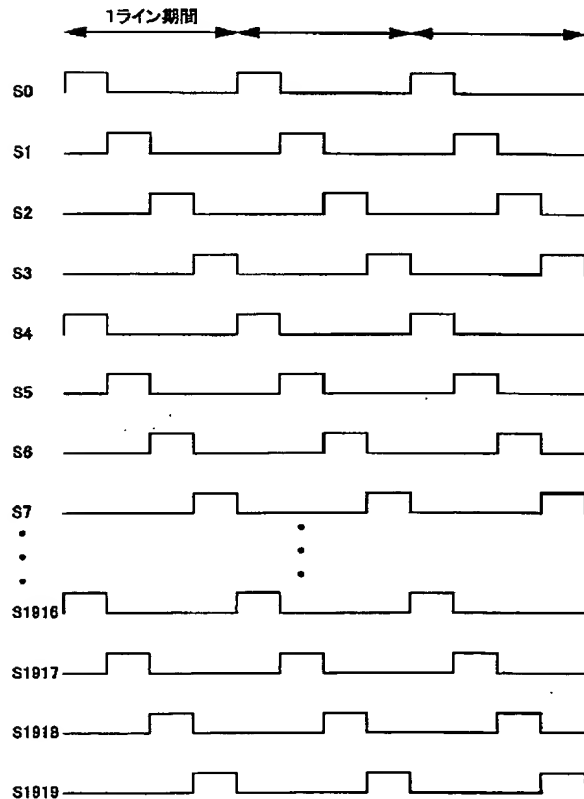
213 ゲイト信号線

214 画素TFT

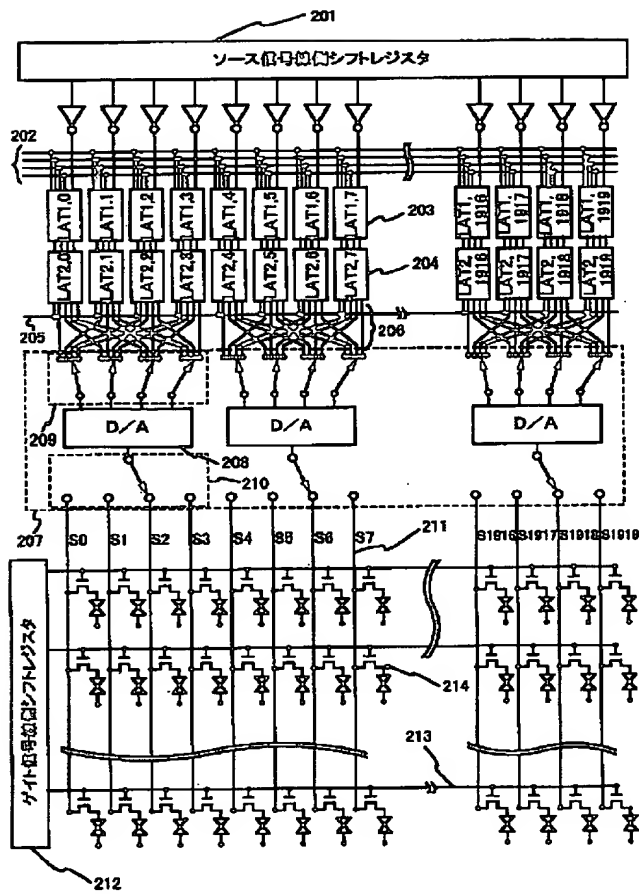
【図 1】



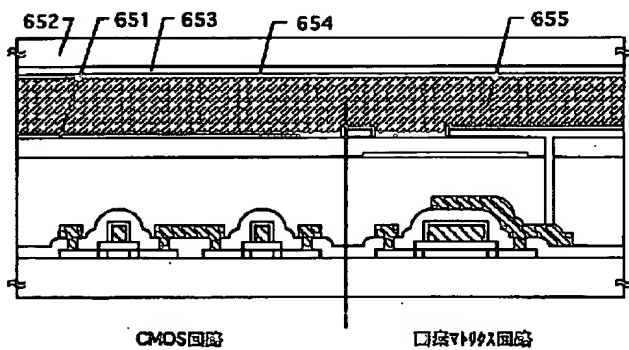
【図 3】



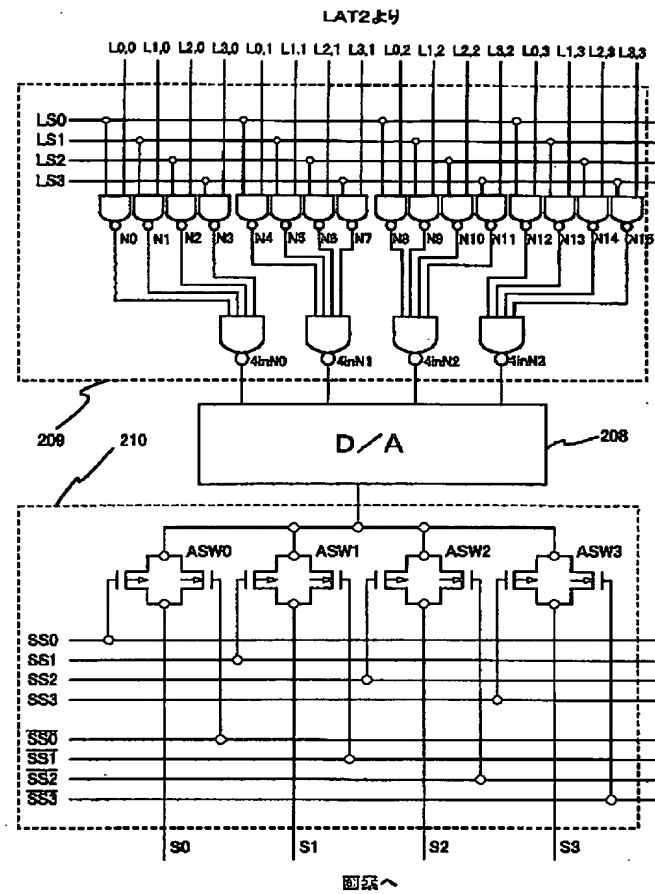
【図 2】



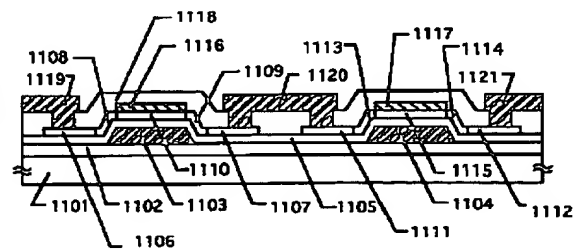
【図 9】



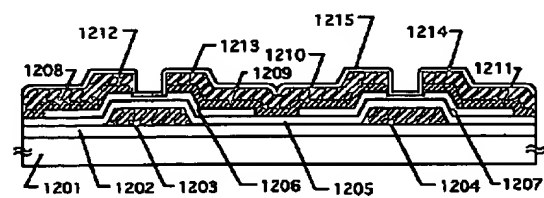
【図 4】



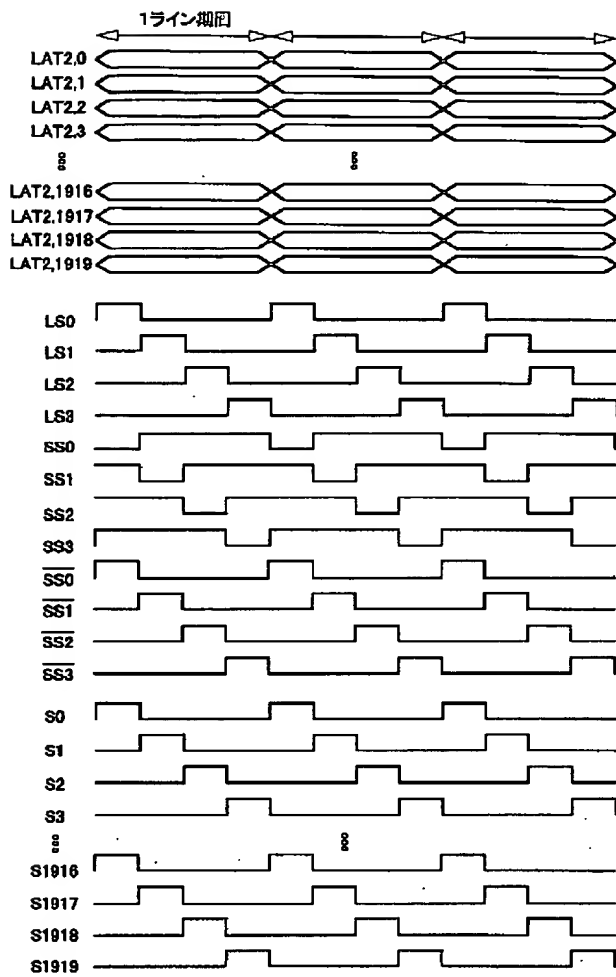
【図 11】



【図 12】

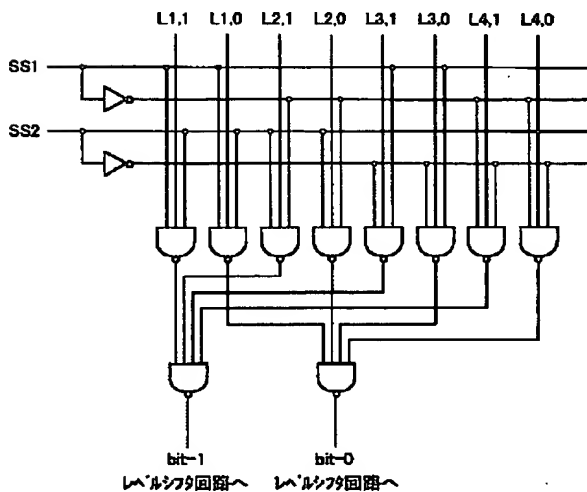


【図5】

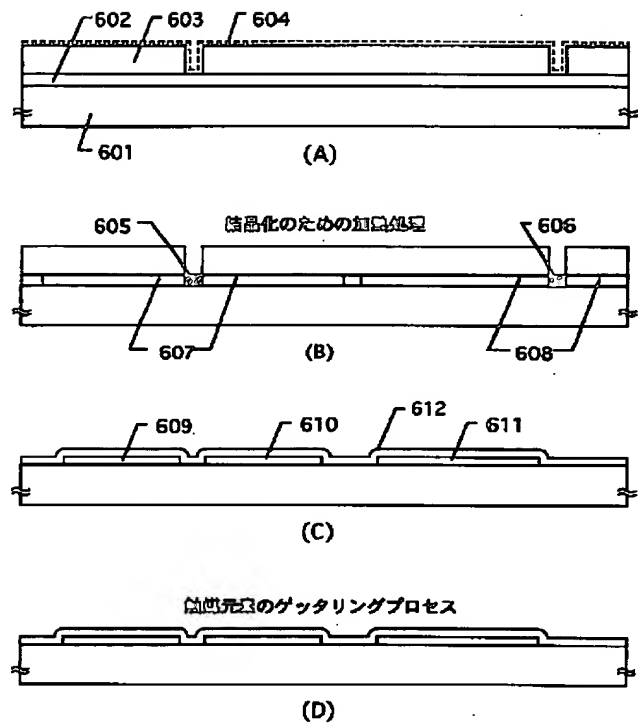


【図16】

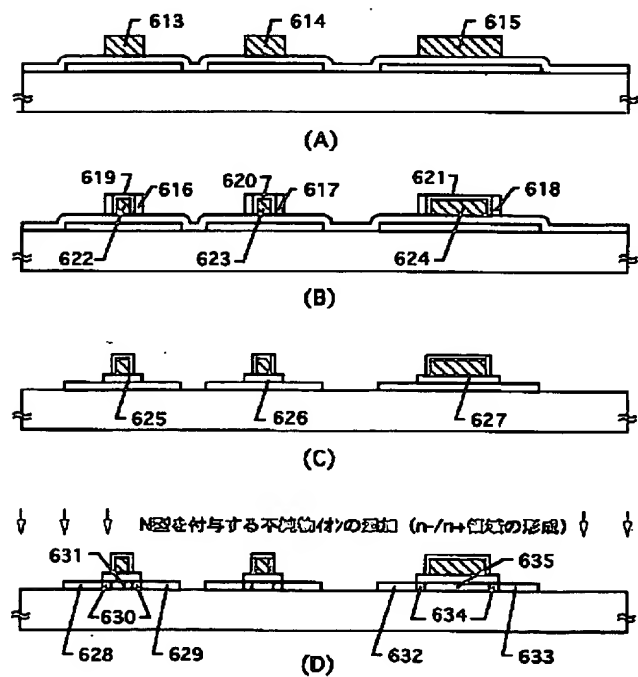
ラッチ回路(2)より



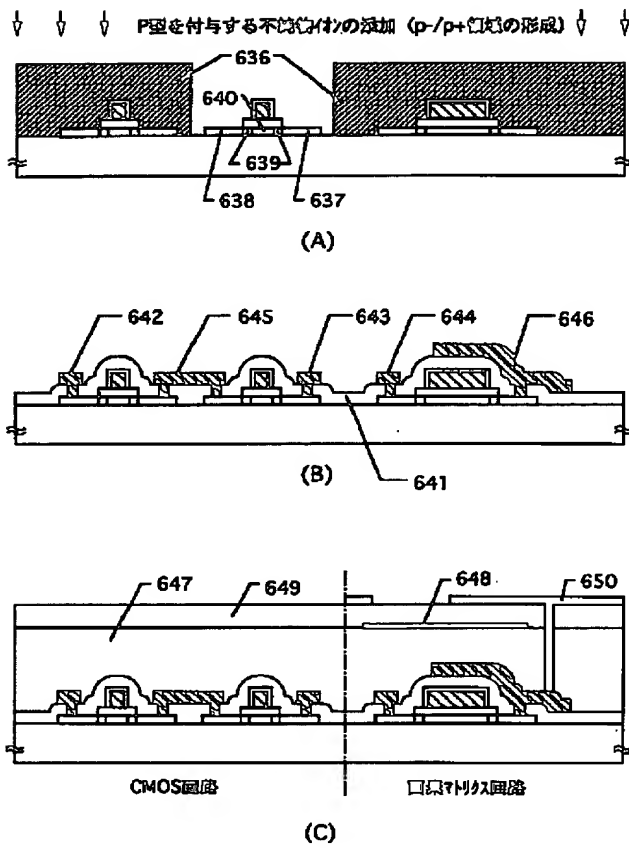
【図6】



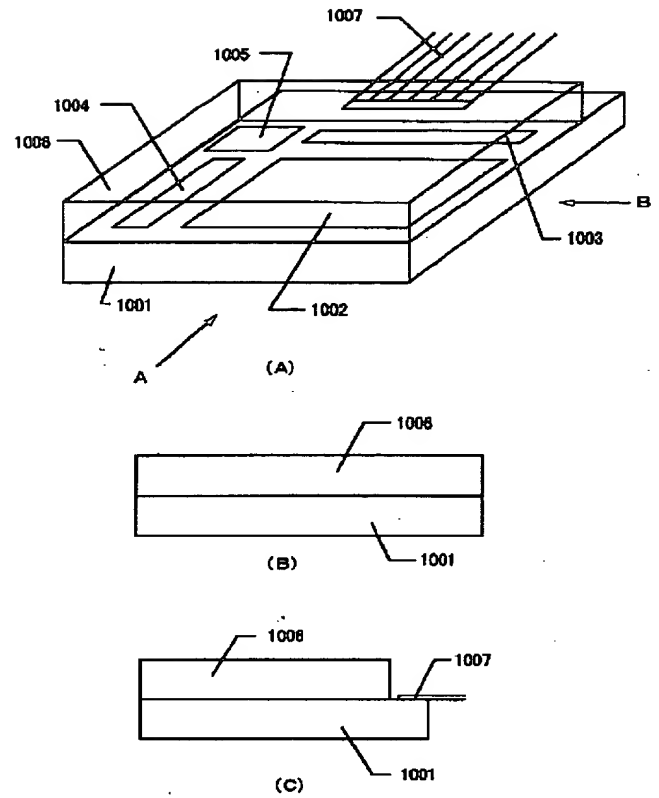
【図7】



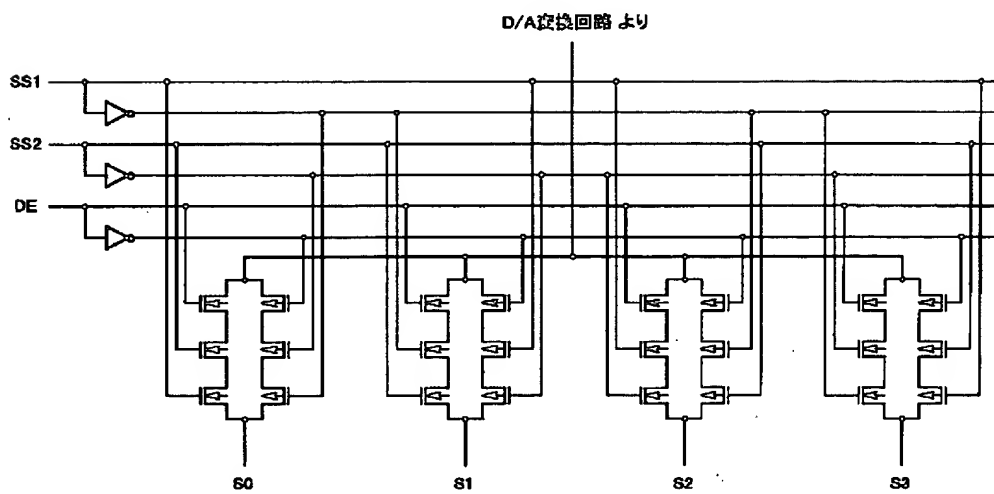
【図8】



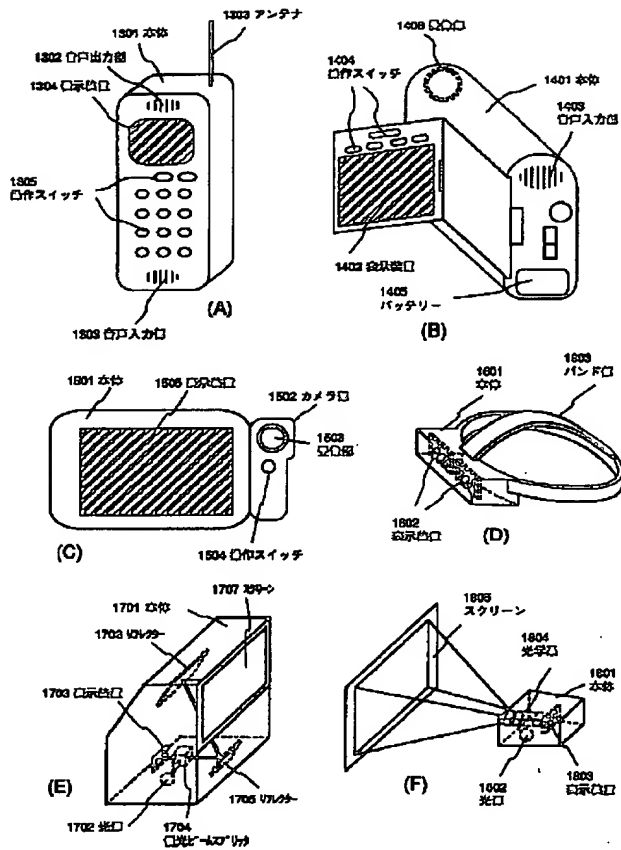
【図10】



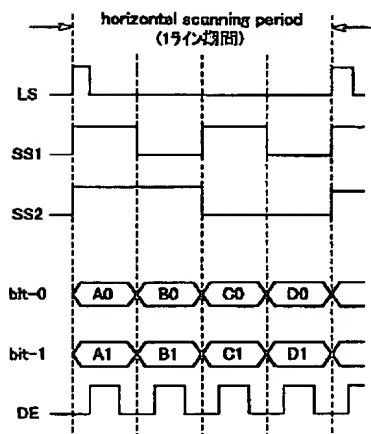
【図17】



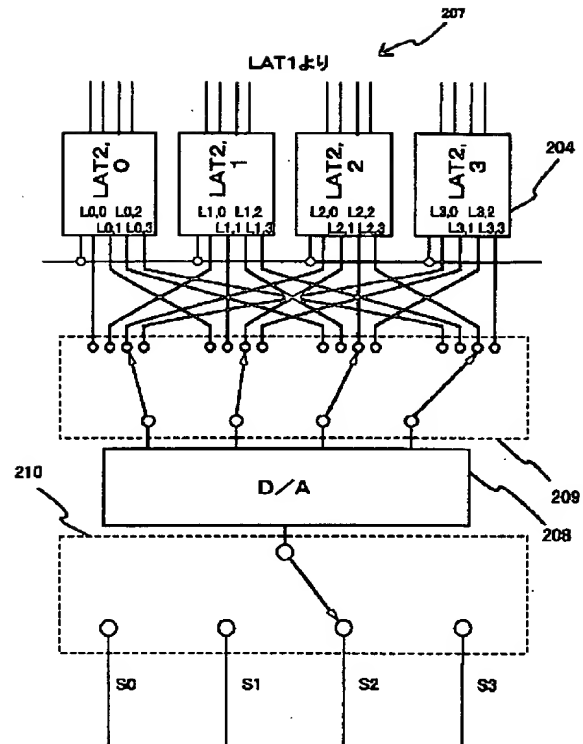
【図13】



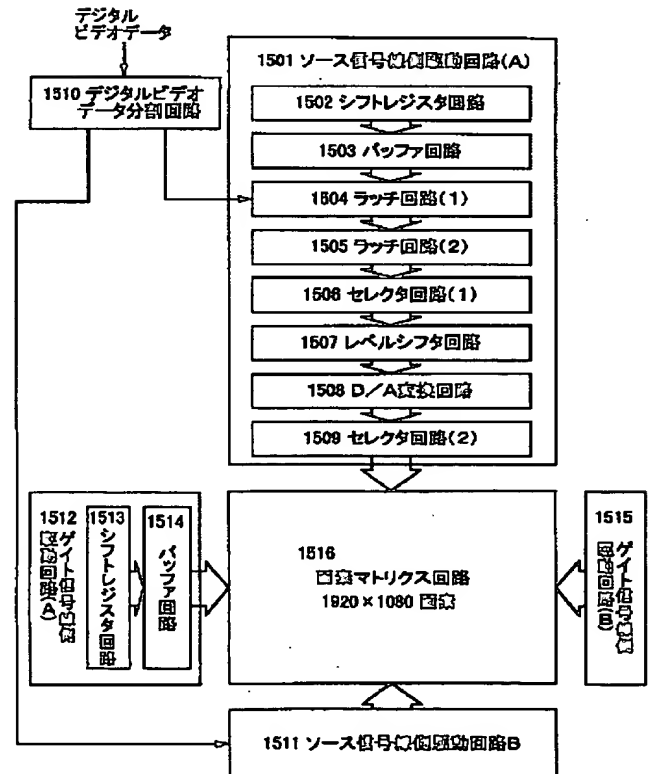
【図18】



【図14】



【図15】

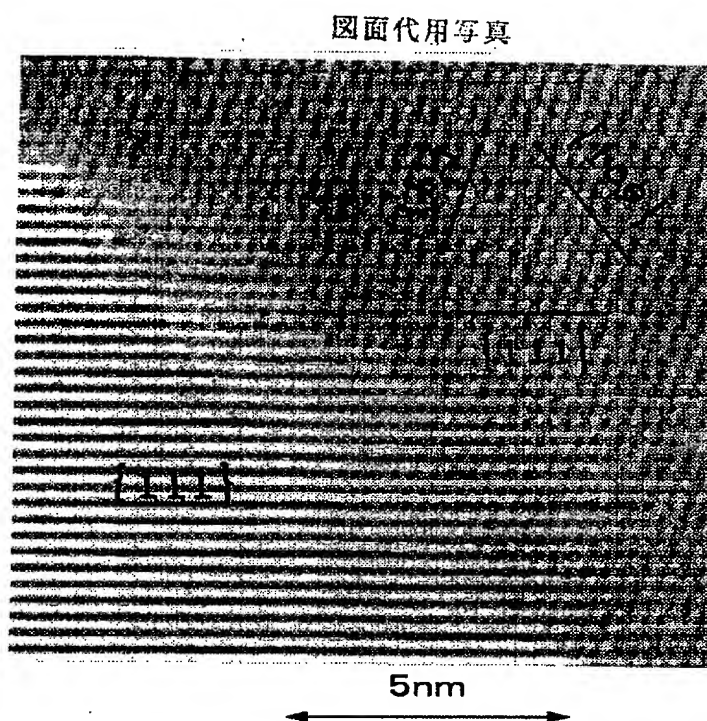




【図19】

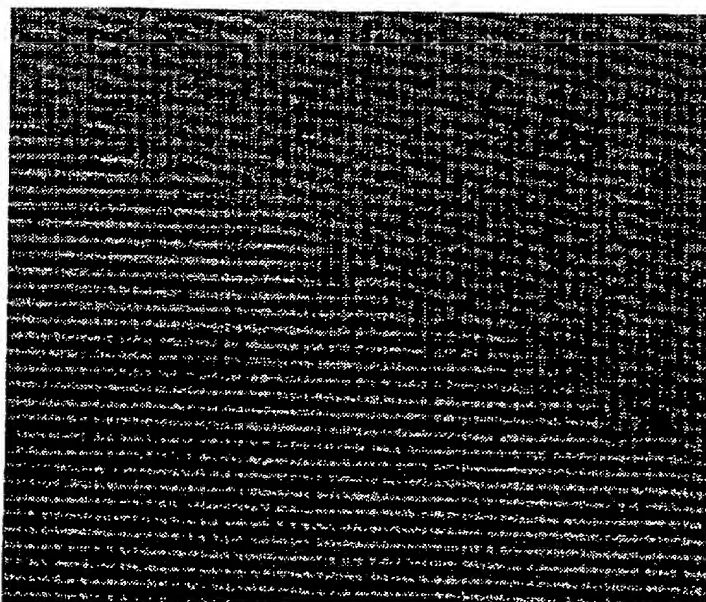


【図20】



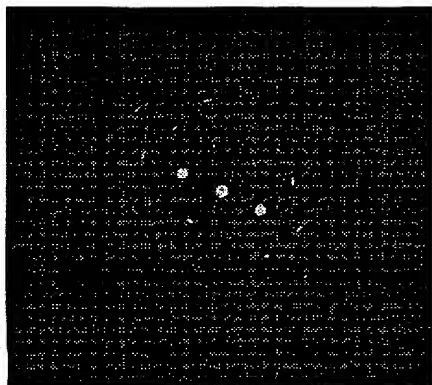
【図21】

図面代用写真



【図22】

図面代用写真



(a)

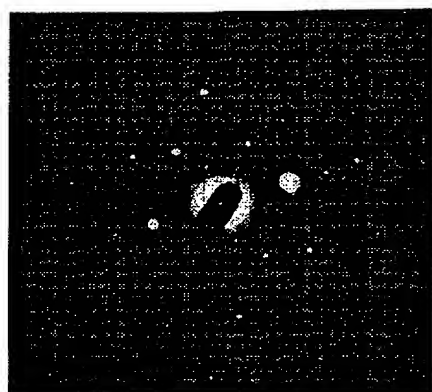
【図23】

図面代用写真



0.1 μm

(a)



(b)



0.1 μm

(b)

フロントページの続き

(51) Int. Cl. 6

識別記号

F I

H O 1 L 29/78

6 1 6 A

6 1 7 K

6 1 8 C